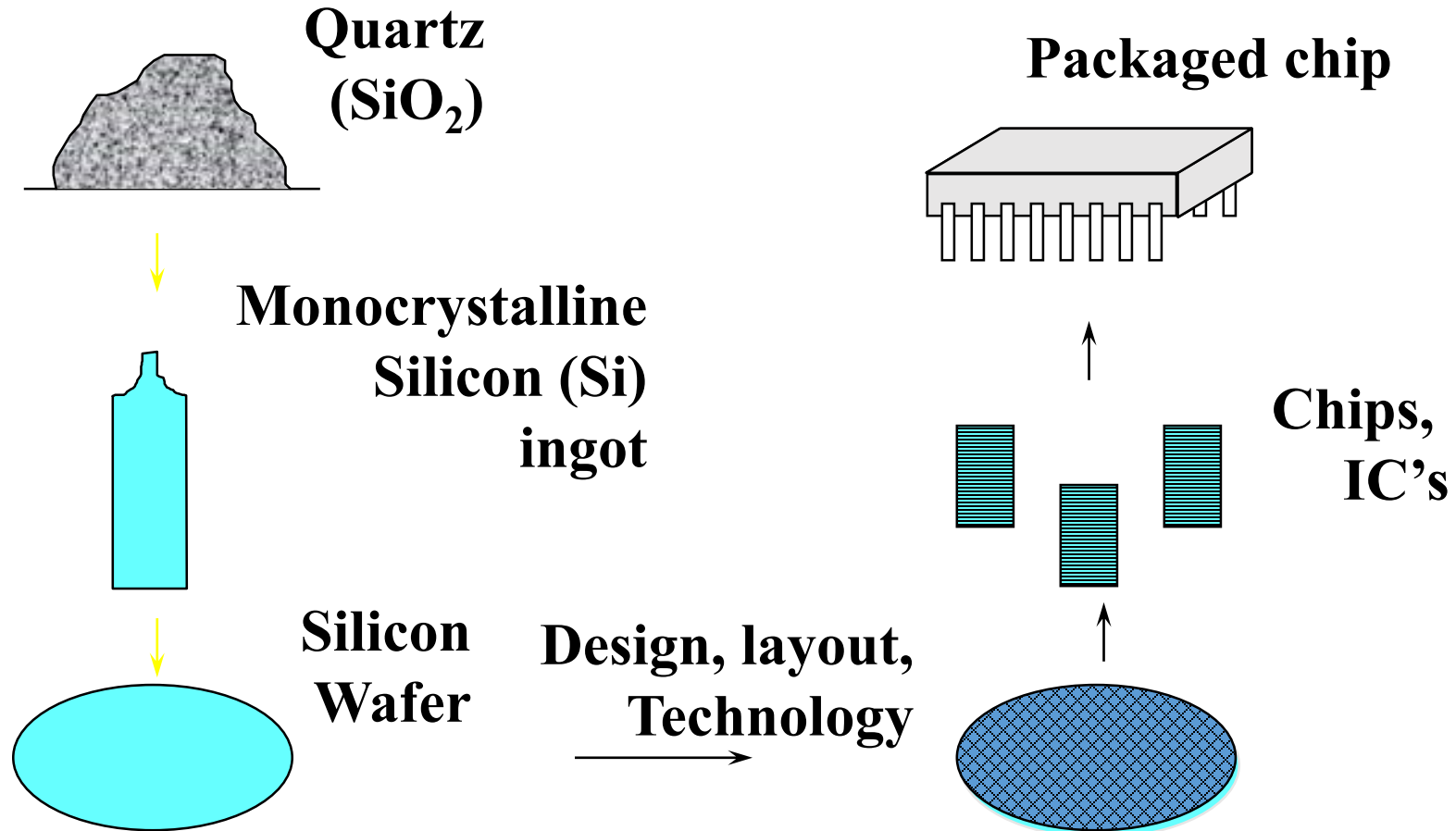


*Ponto Invariante com a Temperatura
("Zero Temperature Coefficient")
em transistores MOSFET*

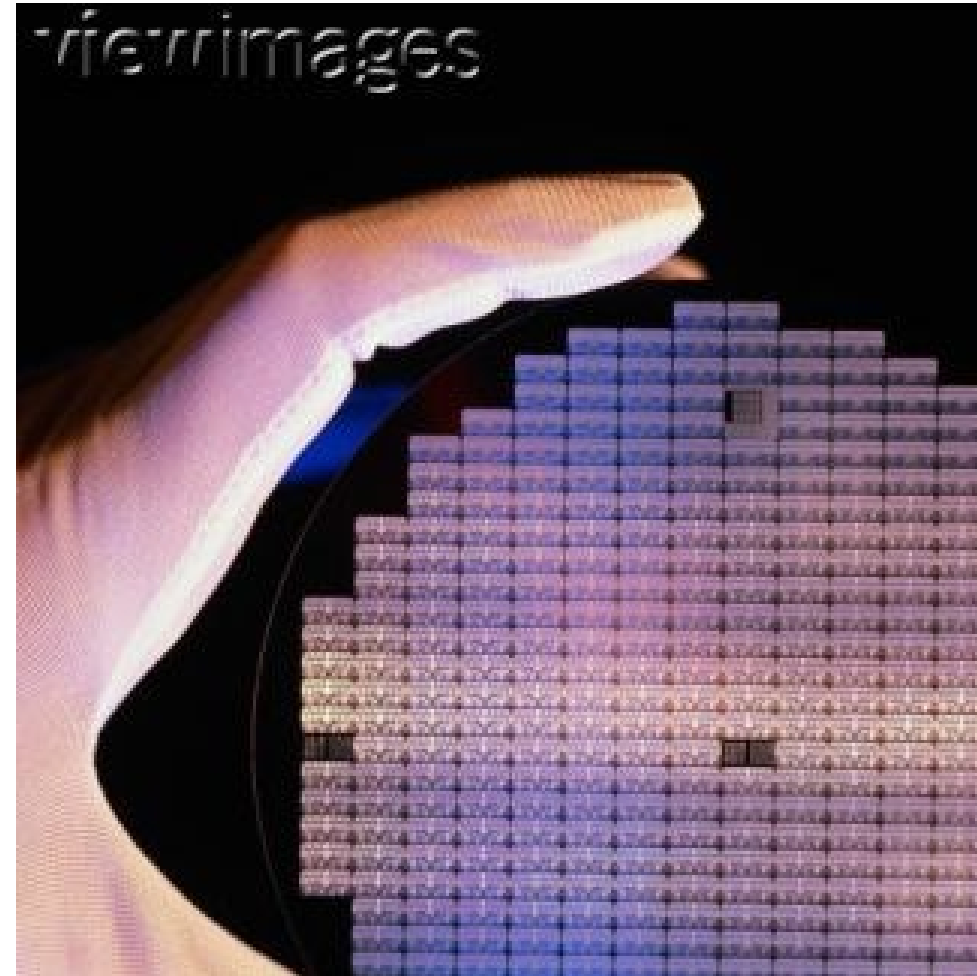
*Prof. Luciano Mendes Camillo
Grupo TTE / COORDELT / CEFET-RJ*

Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos

Seqüência de Fabricação



LÂMINAS (WAFER)

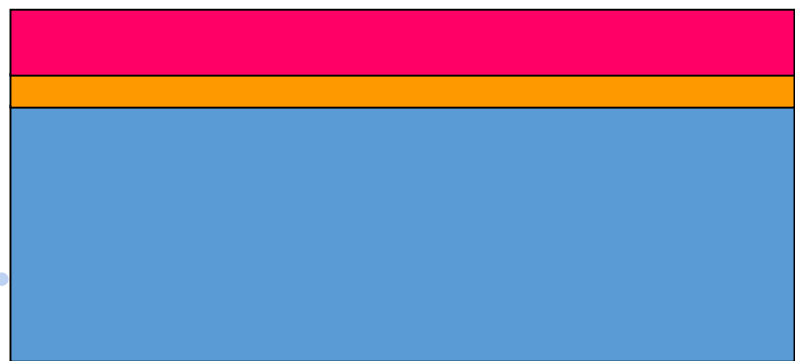


Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos

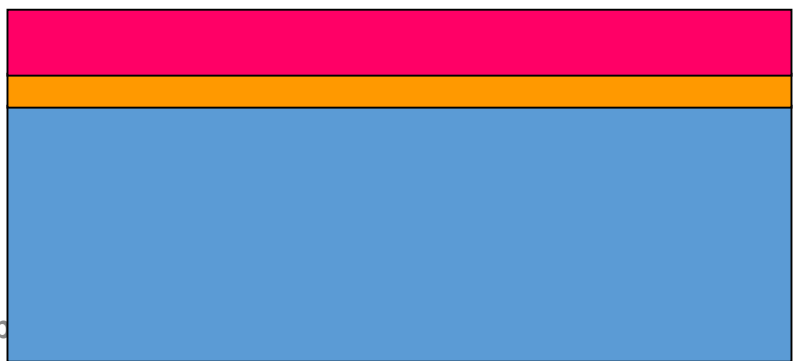
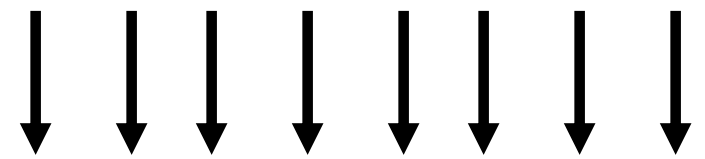
FABRICAÇÃO DOS MICRODISPOSITIVOS



MATERIAL FOTOSENSÍVEL

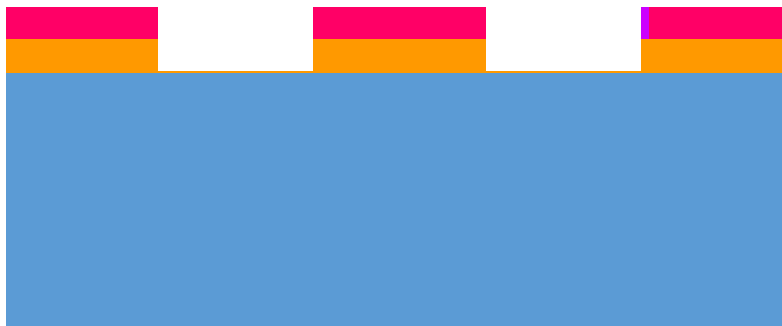


AQUECIMENTO COM O₂

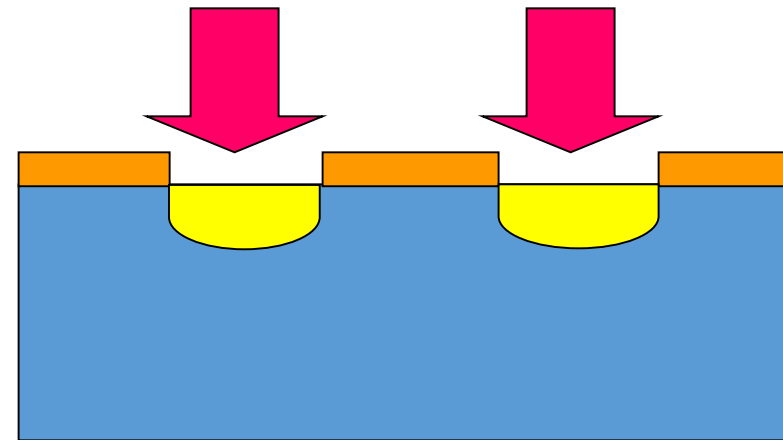


Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos

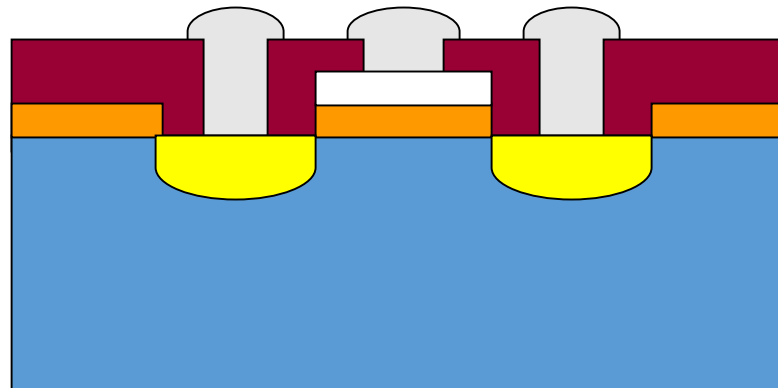
REMOÇÃO DE MATERIAL



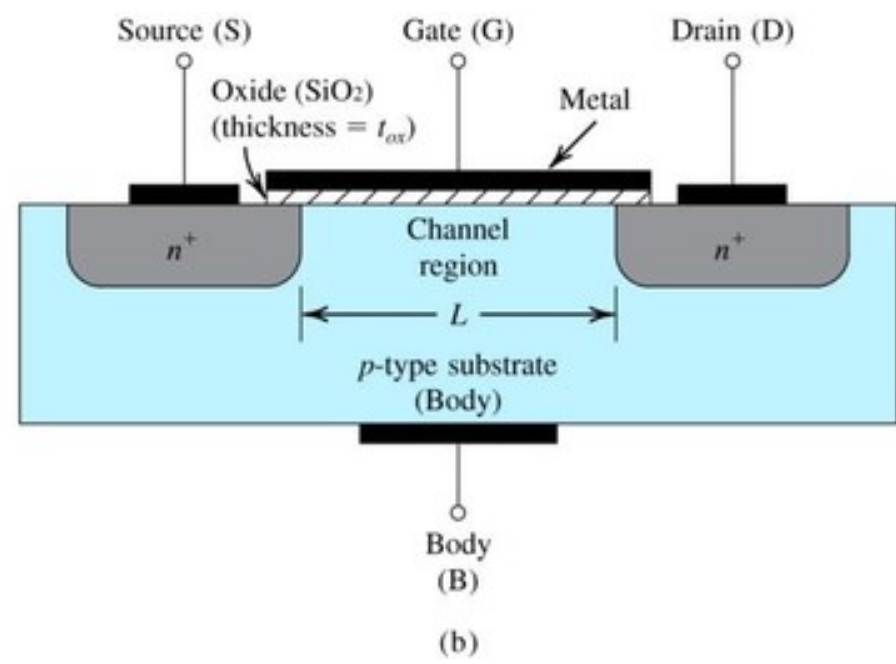
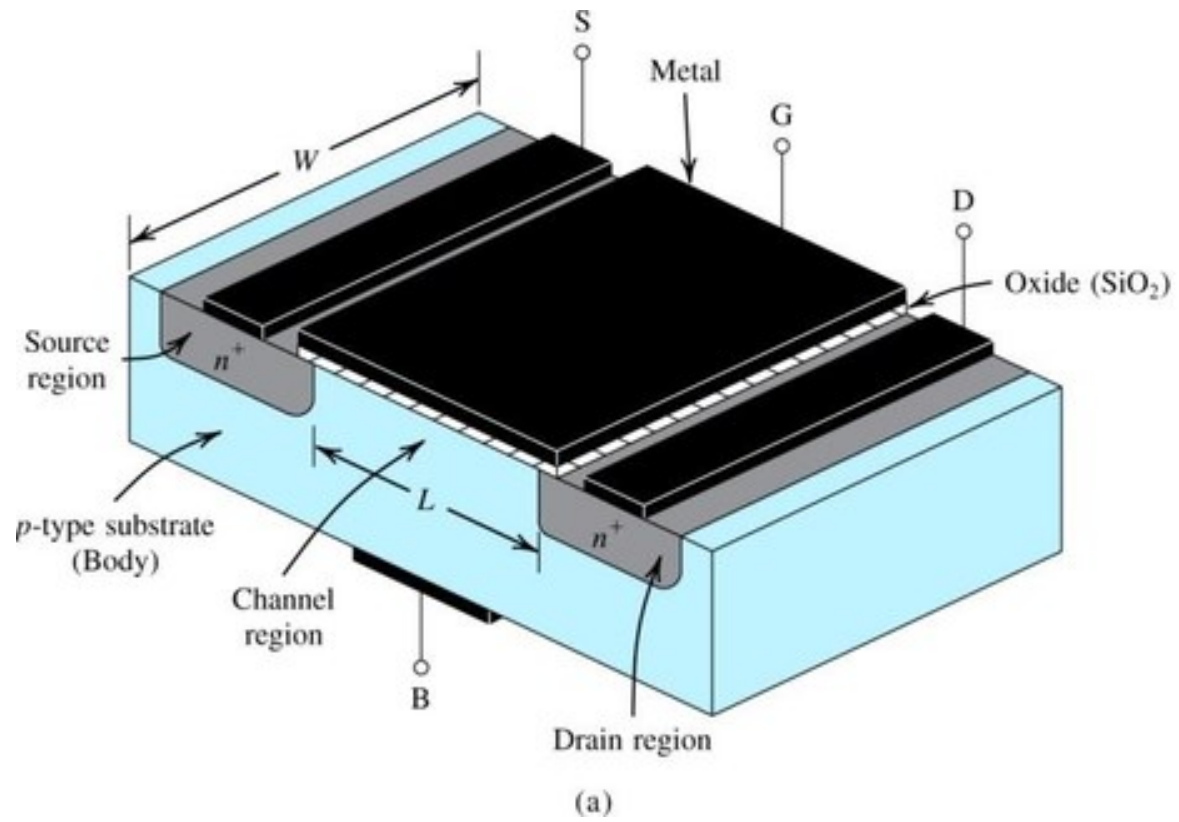
IMPLANTAÇÃO IÔNICA



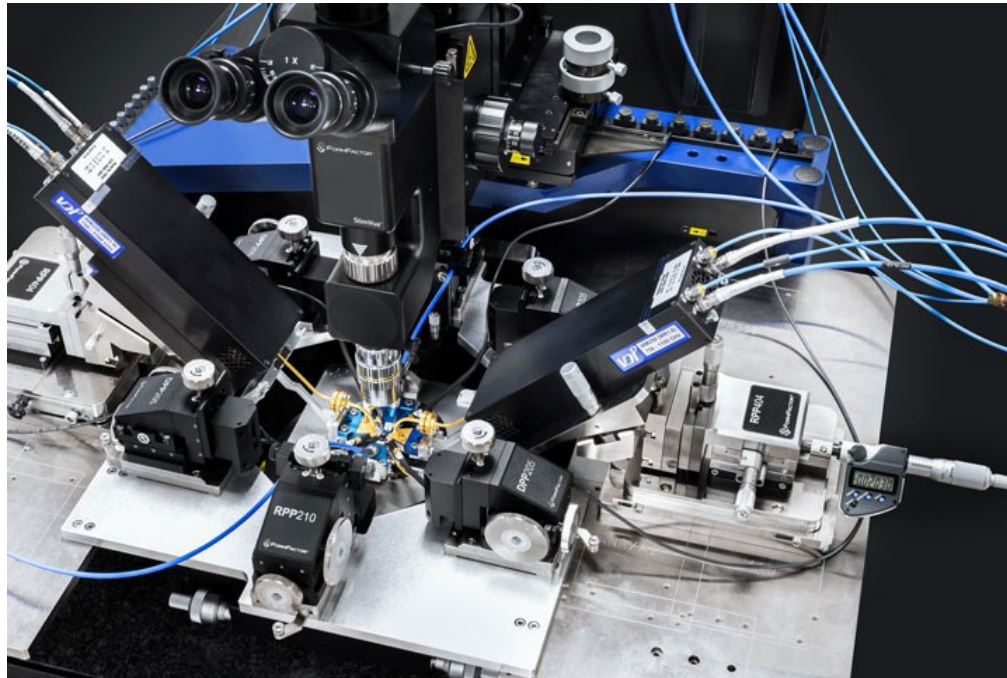
TRANSISTOR MOS



Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos

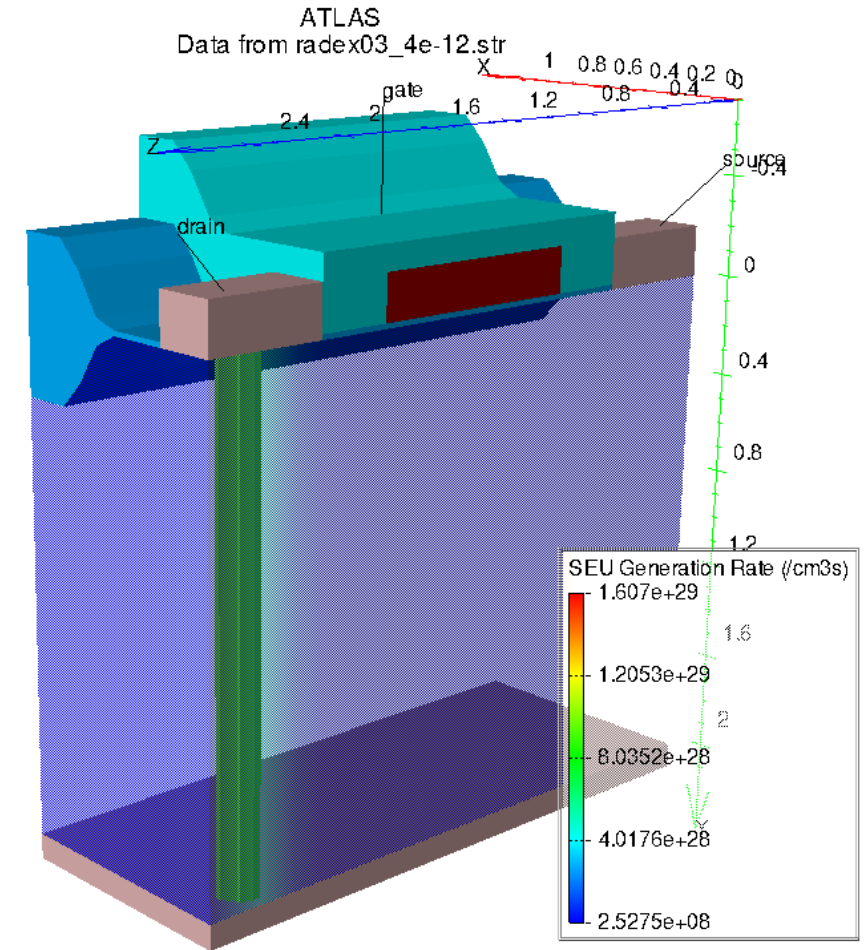
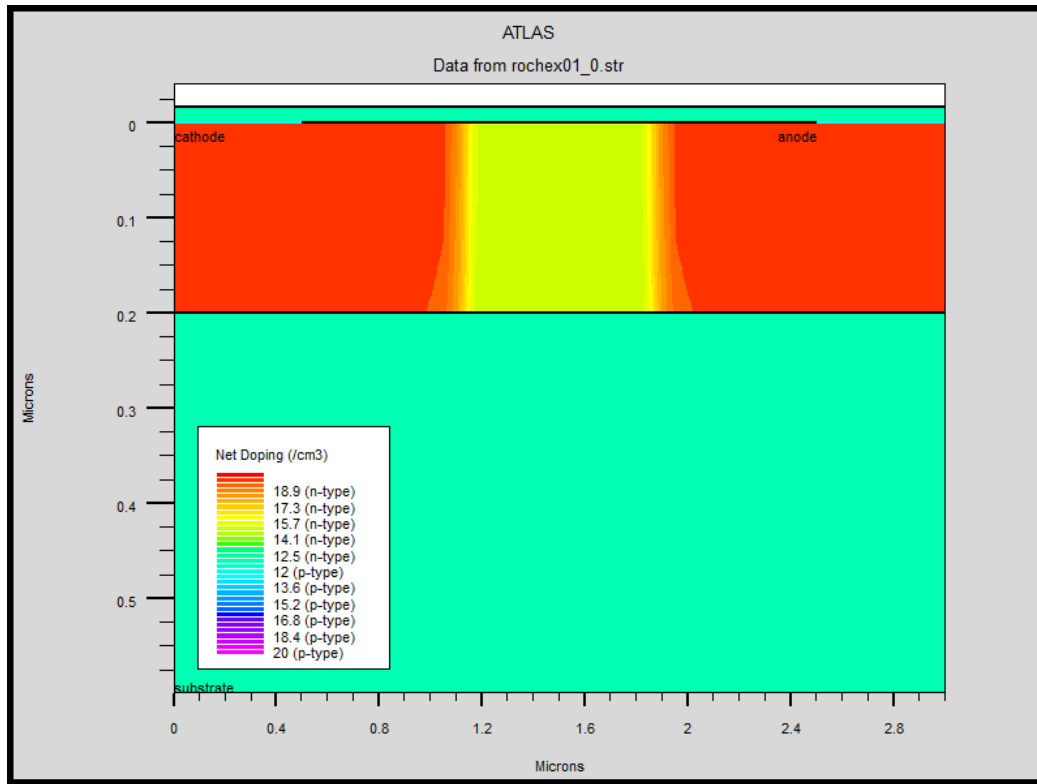


Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos



Caracterização Elétrica

Projetos / Trabalhos / Pesquisa com Dispositivos Microeletrônicos



Simulação Numérica 3D

Sumário

- Definição Ponto invariante com a temperatura (ZTC)
- Motivação
- Objetivos
- Conceitos Básicos
- Ponto invariante com a temperatura (ZTC) na $I_{DS} \times V_{GF}$
- Proposta de um modelo analítico simples (Modelo CM)
- Estudo da estabilidade do ponto ZTC
 - Influência do fator de degradação da mobilidade com a temperatura (c)
- Aplicação do modelo CM proposto em outras tecnologias
- Conclusões
- Publicações

Ponto Invariante com a Temperatura ZTC ("Zero Temperature Coefficient")

Definição utilizada para um ponto de configuração / polarização em que algum parâmetro terá pouca variação com a mudança no valor da temperatura.

United States Patent

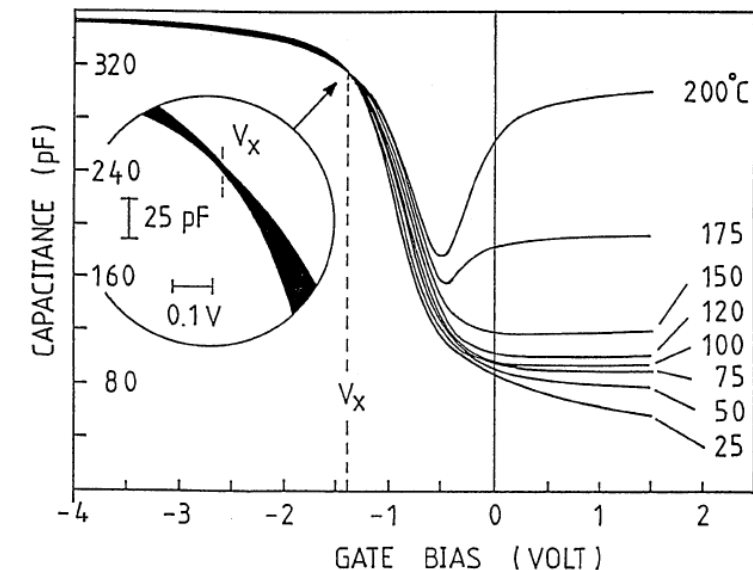
**ZERO TEMPERATURE COEFFICIENT OF
RESISTANCE BI-FILM RESISTOR**

Inventor: **William Kinzy Jones**, Cambridge,
Mass.

Some Characteristics of the Zero-Temperature-Coefficient Capacitance of an MOS Capacitor in Accumulation

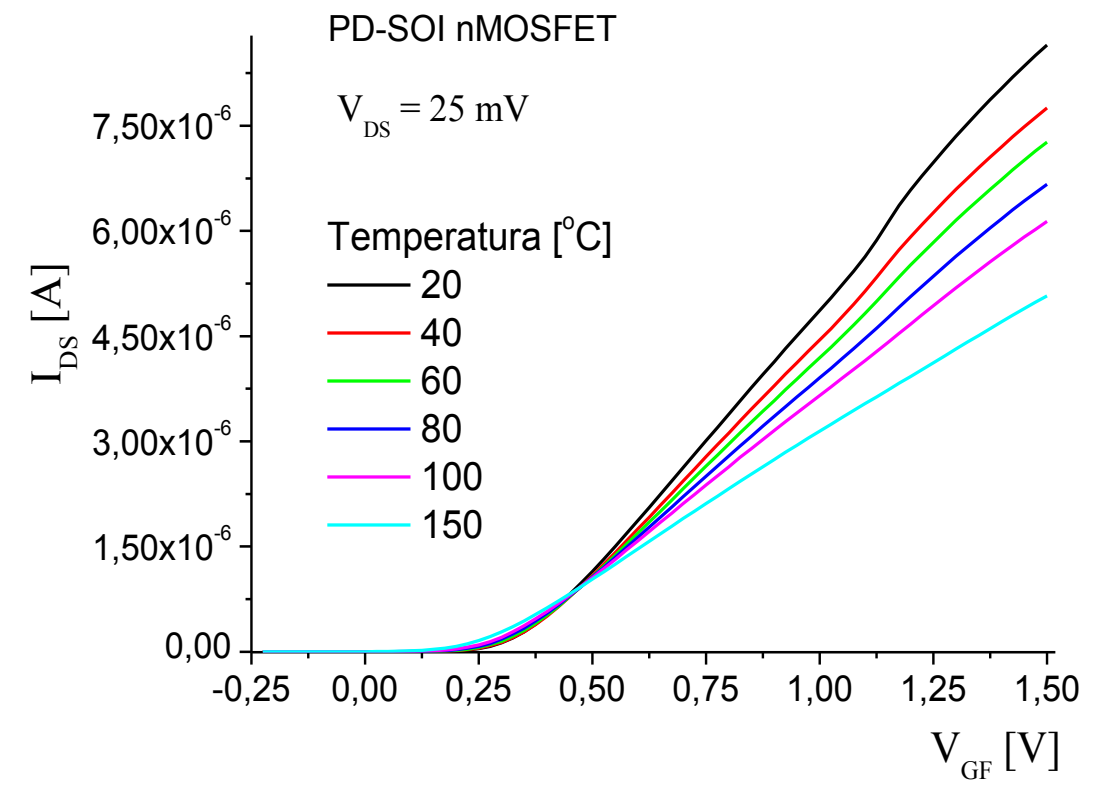
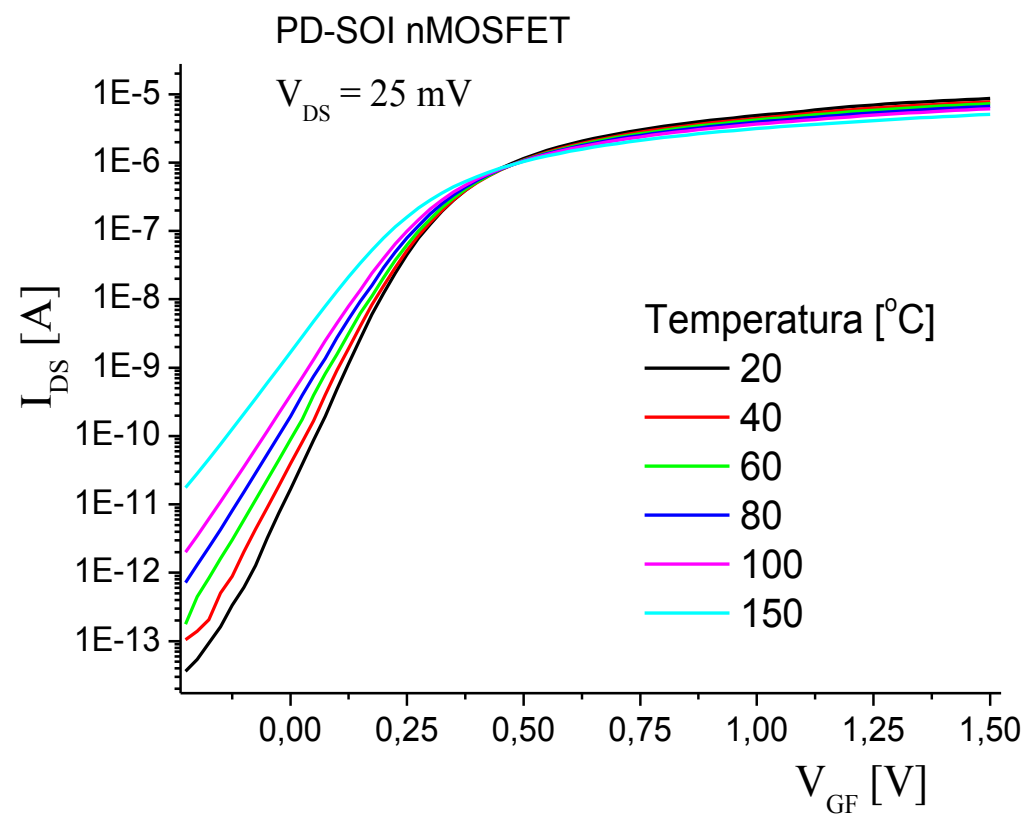
C. H. LING

*Department of Electrical Engineering, National University of Singapore,
Kent Ridge, Singapore 0511*



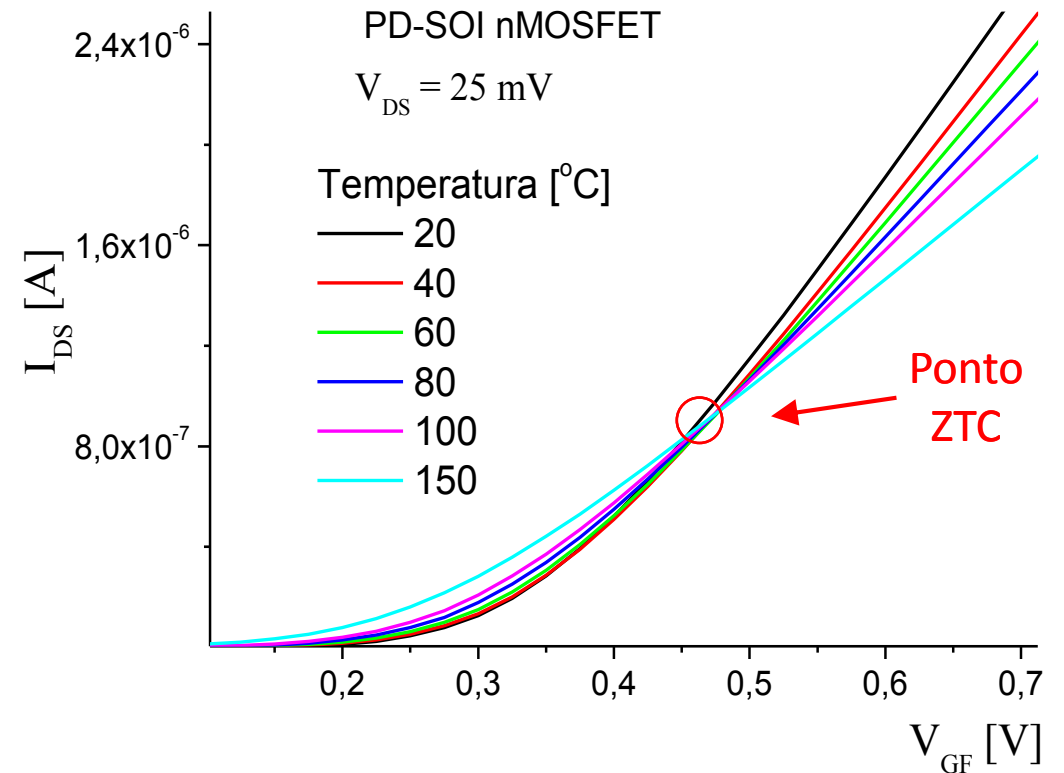
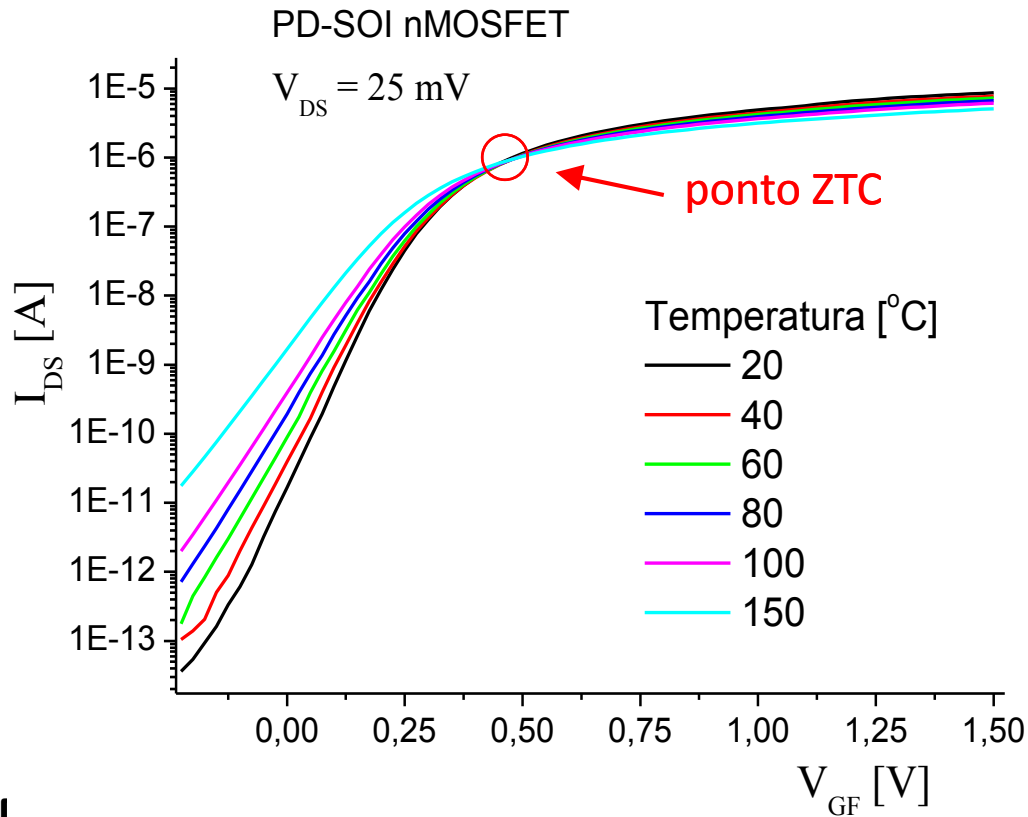
Ponto Invariante com a Temperatura ZTC ("Zero Temperature Coefficient")

Características Corrente-Tensão Estruturas MOSFET



Ponto Invariante com a Temperatura ZTC ("Zero Temperature Coefficient")

Características Corrente-Tensão Estruturas MOSFET



Motivação

Aumento do número de indústrias de circuitos eletrônicos integrados que **necessitam operar com confiabilidade por um grande período sob um ambiente em condições severas.**

Alguns desses ambientes:

- Eletrônica embarcada na indústria automobilística,
- Equipamentos eletrônicos para exploração espacial e terrestre (pesquisas geotérmicas),
- Indústria de aeronaves e nuclear.

Circuitos projetados para aplicações em alta temperatura

desejável é que funcionem em um ponto de polarização em que o valor da corrente de dreno (I_{DS}) não apresente variação com a temperatura.

Motivação

Característica importante para os projetos de alguns circuitos analógicos, a fim de manter um ponto constante de operação para uma larga faixa de temperatura.

Performances of SOI CMOS OTA combining ZTC and gain-boosting techniques

B. Gentinne, J.P. Eggermont and J.P. Colinge

Indexing terms: Operational transconductance amplifiers, CMOS integrated circuits

Amplificador Operacional de Transcondutância

Zero-Temperature-Coefficient Biasing Point of 2.4-GHz LNA in PD SOI CMOS Technology

M. El Kaamouchi ¹, M. Si Moussa ², J.-P. Raskin ³, and D. Vanhoenacker-Janvier ⁴

*Microwave Lab., Université catholique de Louvain
3 Place du Levant, 1348 Louvain-la-Neuve, Belgium*

¹majid.elkaamouchi@uclouvain.be

²mehdi.simoussa@uclouvain.be

³jean-pierre.raskin@uclouvain.be

⁴danielle.vanhoenacker@uclouvain.be

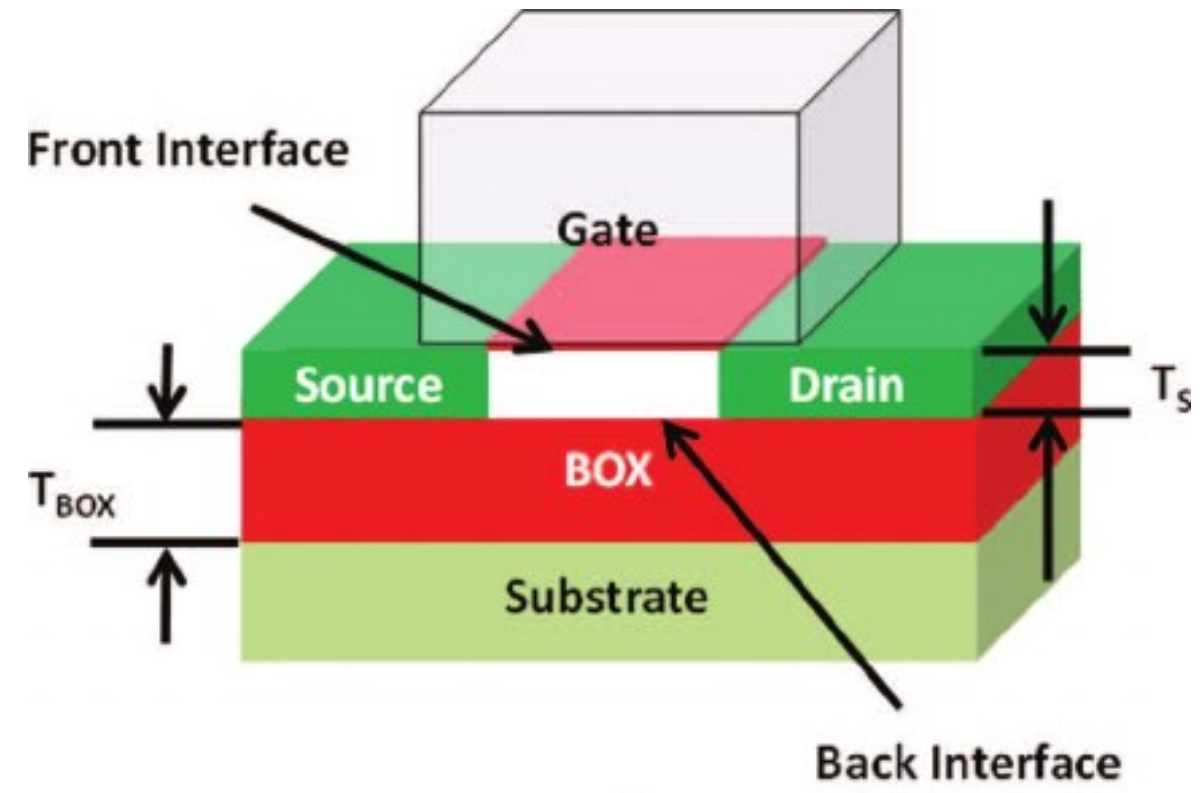
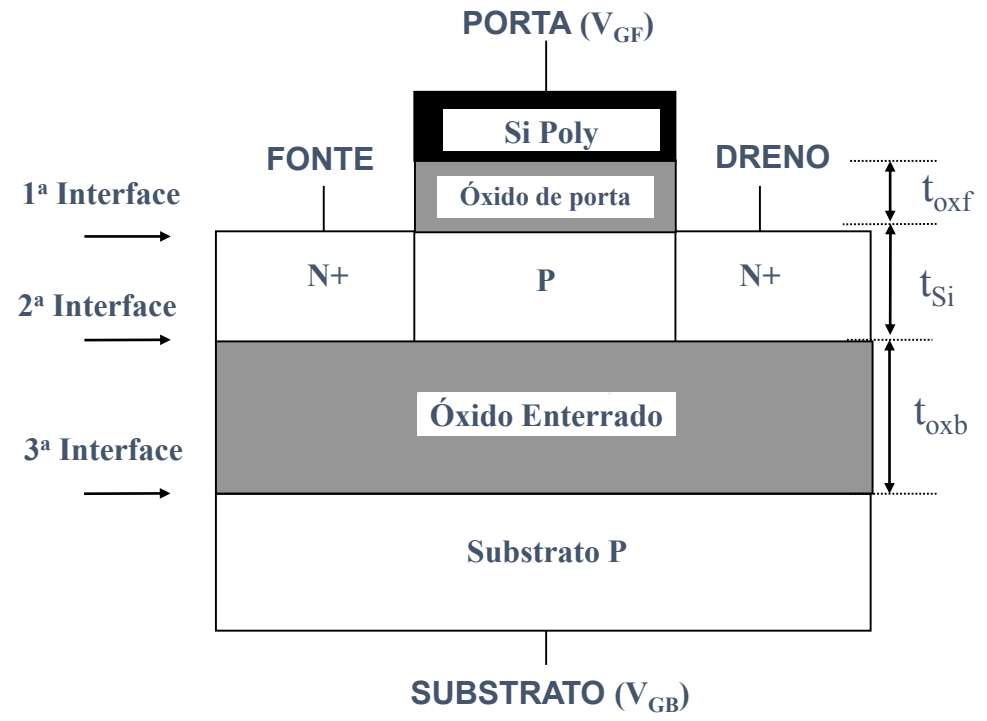
Low Noise Amplifier

Objetivo:

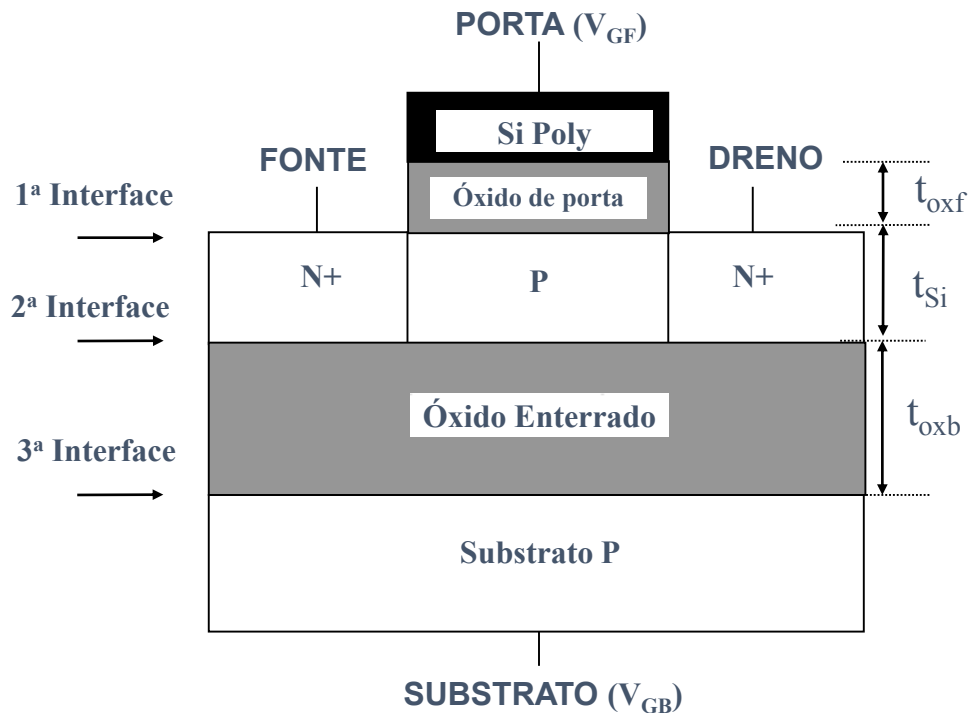
É o estudo do ponto ZTC em dispositivos MOSFETs, funcionando em regime linear e de saturação.

O estudo foi realizado a partir da proposta de um modelo analítico simples (Modelo CM) e dados experimentais em diferentes tecnologias MOSFET.

Estruturas SOI MOSFETs



Estruturas SOI MOSFETs



Comportamento dependente :

- espessura filme silício (t_{Si})
- concentração de dopantes (N_{af}) da região ativa

Dispositivos

- Parcialmente depletado [PD-SOI]

$$t_{Si} > 2 x_{dmáx}$$

- Totalmente depletado [FD-SOI]

$$t_{Si} < x_{dmáx}$$

Caso intermediário (dependente da polarização aplicada no substrato)

- Dispositivo perto da depleção total [NFD SOI] ($x_{dmax} < t_{Si} < 2 x_{dmax}$)

A profundidade máxima de depleção é dada por:

$$x_{dmáx} = \sqrt{\frac{4 \cdot \epsilon_{Si} \cdot \phi_F}{q \cdot N_{af}}}$$

$$\phi_{Ff} = \frac{kT}{q} \ln\left(\frac{N_{af}}{n_i}\right)$$

$$n_i = 3.9 \cdot 10^{16} T^{3/2} e^{-(E_g/2kT)}$$

Efeito da Temperatura

O comportamento de funcionamento dos transistores MOS é dependente da temperatura.

Parâmetros responsáveis por esta dependência

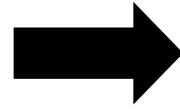
- Mobilidade efetiva dos elétrons $\mu_n(T) = \mu_n(T_0) \left(\frac{T_0}{T} \right)^c$

- Potencial de Fermi (ϕ_F)
- Tensão de faixa plana V_{FB}
(através de ϕ_{MS})

} **Tensão de limiar**
 V_{thF}

Efeito da Temperatura

A variação sofrida em
 V_{thF} e μ_n
com a temperatura



causará um deslocamento
na curva característica do
transistor $I_{DS} \times V_{GF}$

**O efeito é observado através da variação
de I_{DS} em função de V_{GF}**

Com aumento da temperatura $\uparrow T$

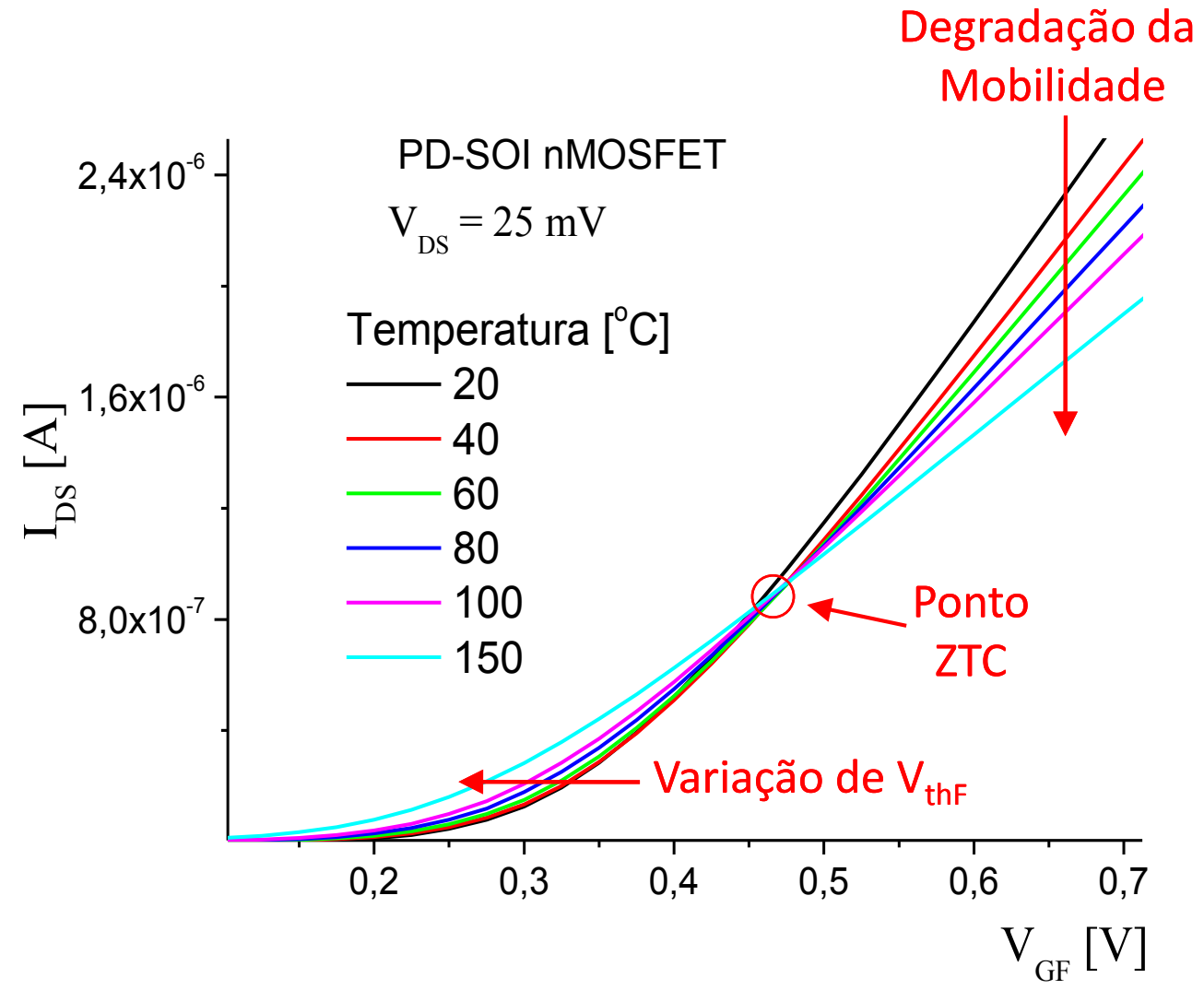
$V_{thF} \downarrow$

μ_n degrada \downarrow

(\uparrow corrente I_{DS})

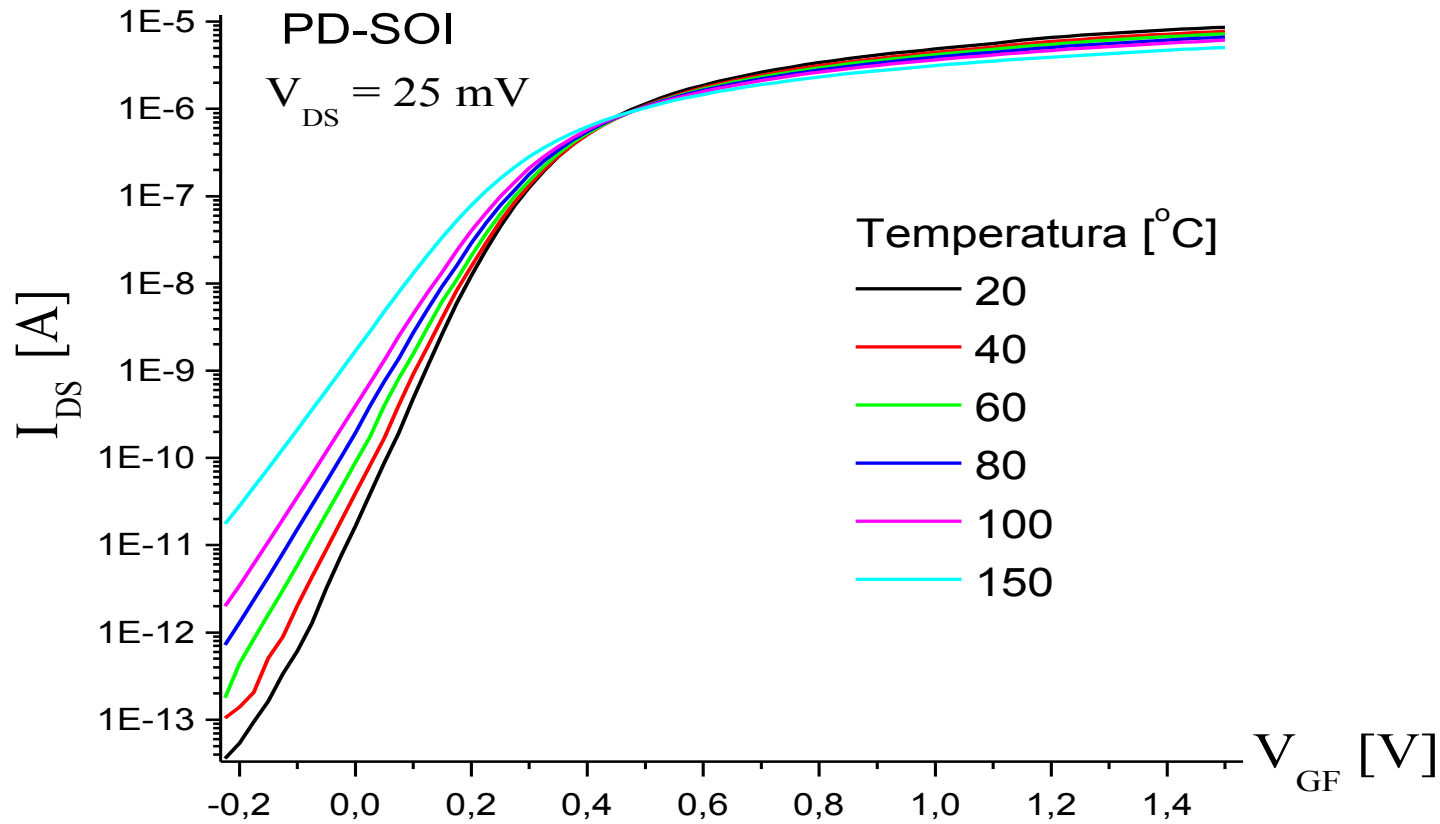
(\downarrow corrente I_{DS}).

Efeito da Temperatura



Efeito da Temperatura

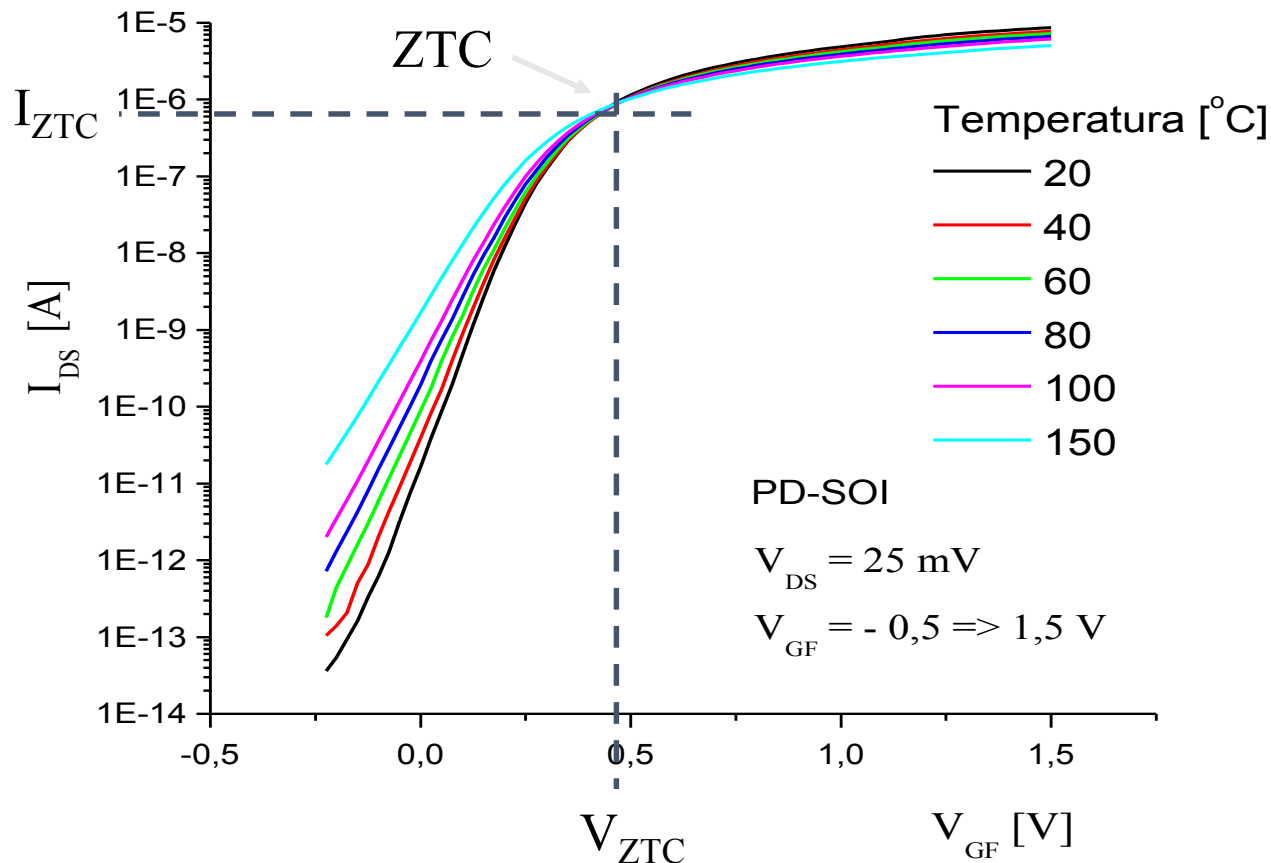
Em um certo ponto de polarização de V_{GF}
 as mudanças nos dois parâmetros (V_{thF} e μ_n)
 provocam um comportamento compensatório
 a corrente I_{DS} ($V_{GF} = V_{ZTC}$) fica praticamente constante.



Definição do Ponto Invariante com a Temperatura ZTC

Ponto em que o valor da tensão de porta do transistor (V_{GS}) garante um valor constante para a corrente de dreno (I_{DS}) com variação da temperatura:

$$\frac{dI_{DS}}{dT} = 0$$



Modelos sobre o Ponto Invariante com a Temperatura (ZTC)

Os modelos existentes na literatura

- Analisam e demonstram a modelagem para a polarização no ponto ZTC para dispositivos convencionais (planar)

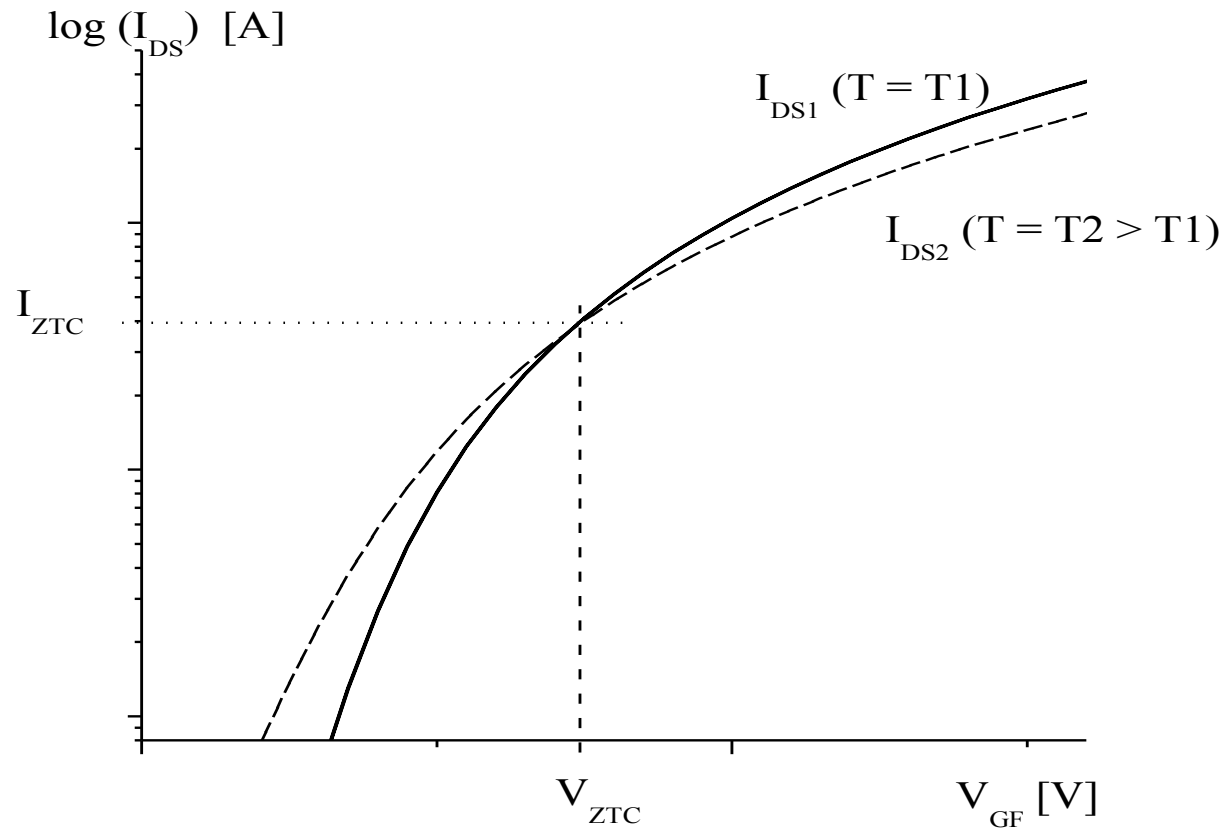
- Apresentam expressões (apesar das aproximações adotadas),
que incluem:

**termos derivados de outras expressões extremamente extensas, que garantem:
a alta precisão**

e um **equacionamento muito aplicável** para uso nos
modelos inseridos em **programas simuladores**

- **numéricos e analíticos disponíveis comercialmente.**

Proposta de um Modelo Analítico Simples para determinação da tensão de polarização no ponto invariante com a temperatura (V_{ZTC})



Modelo V_{ZTC} na Região Linear

Admitindo-se que V_{ZTC} ocorre na região linear (triódo), tem-se para a corrente de dreno:

$$I_{DS1} = \frac{\mu_{n0(T1)}}{1 + \theta_1(V_{GF} - V_{th1})} C_{oxf} \frac{W}{L} [(V_{GF} - V_{th1})V_{DS} - n_1 \frac{V_{DS}^2}{2}]$$

$$I_{DS2} = \frac{\mu_{n0(T2)}}{1 + \theta_2(V_{GF} - V_{th2})} C_{oxf} \frac{W}{L} [(V_{GF} - V_{th2})V_{DS} - n_2 \frac{V_{DS}^2}{2}]$$

Para $V_{GS} = V_{ZTC}$ implica em $I_{DS1} = I_{DS2}$

Com as considerações adotadas, a tensão V_{ZTC} pode ser isolada como :

$$V_{ZTC}(T1, T2) = V_{ZTC\ 1,2\ LIN} = \frac{\mu_{n1} \cdot V_{th1} - \mu_{n2} \cdot V_{th2}}{\mu_{n1} - \mu_{n2}} + n \frac{V_{DS}}{2}$$

Proposta do Modelo CM (V_{ZTC})

Modelo V_{ZTC} na Região Linear

$$V_{ZTC}(T1, T2) = V_{ZTC\ 1,2\ LIN} = \frac{\mu_{n1} \cdot V_{th1} - \mu_{n2} \cdot V_{th2}}{\mu_{n1} - \mu_{n2}} + n \frac{V_{DS}}{2}$$

Utilizando a relação que mostra a variação μ_n com a temperatura:

$$\mu_{n2} = \mu_{n1} \left(\frac{T1}{T2} \right)^c$$

Com algumas simplificações, pode-se obter a equação que representa o valor da tensão de polarização no ponto ZTC

$$V_{ZTC\ 1,2\ LIN} = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2} \right)^c}{1 - \left(\frac{T1}{T2} \right)^c} + n \frac{V_{DS}}{2}$$

Proposta do Modelo CM (V_{ZTC})

Modelo V_{ZTC} na Região de Saturação

Na região saturação, a corrente de dreno (I_{DS}) de um SOI MOSFET, em regime de inversão forte, pode ser calculada usando-se a equação na temperatura T1:

$$I_{DS1} = \mu_{n1} \cdot C_{ox} \cdot \frac{W}{L} \left[\frac{(V_{GS} - V_{th1})^2}{2n_1} \right]$$

Realizando o mesmo processo de análise desenvolvido para a região linear,

Admitindo-se que V_{ZTC} ocorre na região de saturação

Tem-se para a
corrente de dreno:

$$I_{DS1} = \frac{\mu_{n1}}{1 + \theta_1 (V_{GF} - V_{th1})} C_{oxf} \frac{W}{L} \frac{(V_{GF} - V_{th1})^2}{2 n_1}$$

$$I_{DS2} = \frac{\mu_{n2}}{1 + \theta_2 (V_{GF} - V_{th2})} C_{oxf} \frac{W}{L} \frac{(V_{GF} - V_{th2})^2}{2 n_2}$$

Proposta do Modelo CM (V_{ZTC})

Modelo V_{ZTC} na Região de Saturação

Para $V_{GS} = V_{ZTC}$ implica em $I_{DS1} = I_{DS2}$,

Com as considerações adotadas, a tensão V_{ZTC} pode ser isolada como :

$$V_{ZTC}(T1, T2) = V_{ZTC1,2SAT} = A + \sqrt{A^2 - B}$$

Utilizando a relação :

$$\mu_{n2} = \mu_{n1} \left(\frac{T1}{T2} \right)^c$$

$$A = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2} \right)^c}{1 - \left(\frac{T1}{T2} \right)^c} \quad B = \frac{V_{th1}^2 - V_{th2}^2 \left(\frac{T1}{T2} \right)^c}{1 - \left(\frac{T1}{T2} \right)^c}$$

Validação do Modelo CM Proposto

A verificação será realizada através de comparação dos resultados simulados pelo modelo proposto e os dados experimentais.

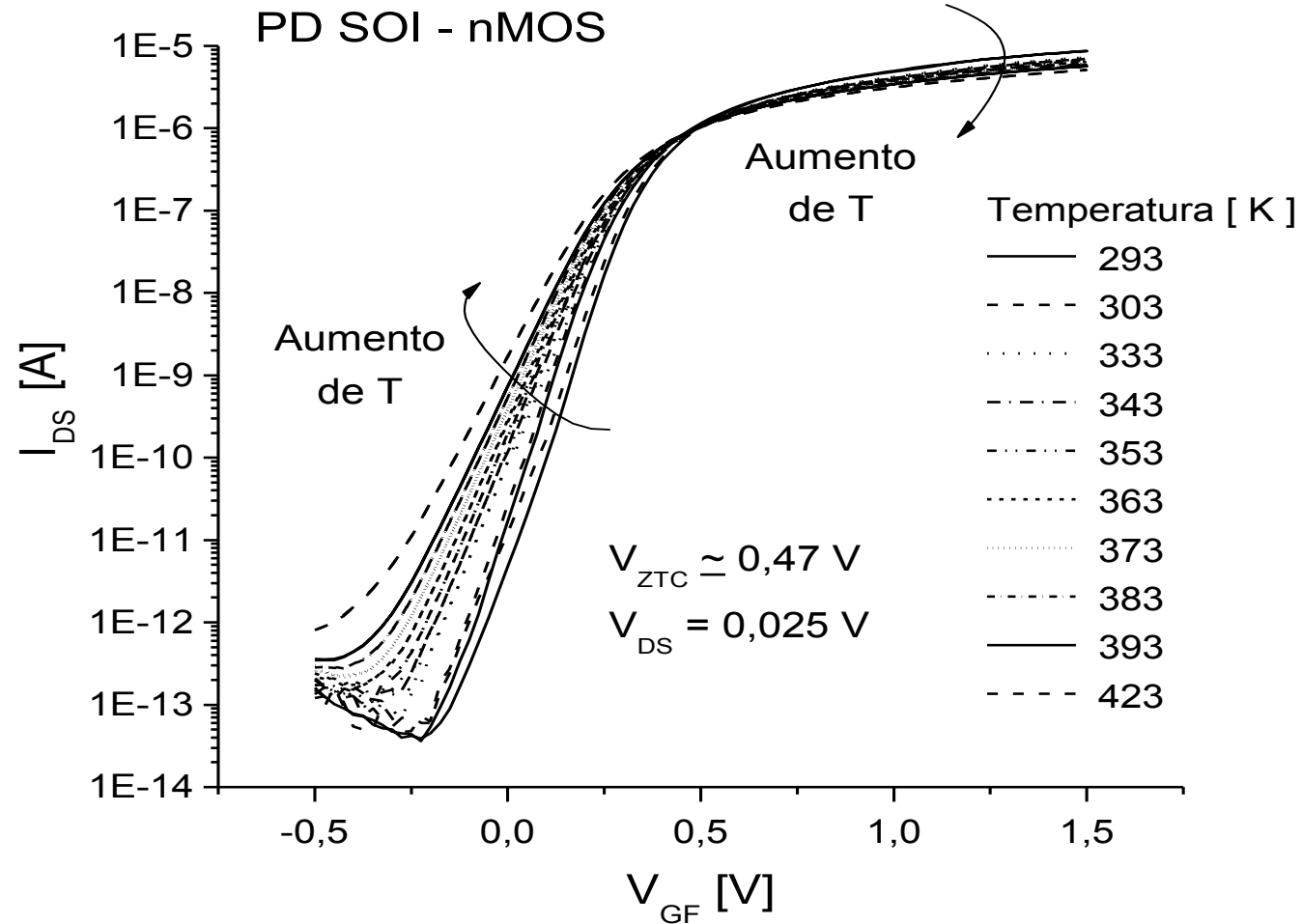
Características dos Dispositivos

fabricados com tecnologia SOI CMOS 0.13 μ m

	PD SOI	FD SOI	
Espessura Óxido de Porta (t_{oxf})	2.5		nm
Espessura Filme de Silicio (t_{si})	100	30	nm
Espessura Óxido Enterrado (t_{oxb})	400	200	nm
Largura e Comprimento de Canal (W e L)	10		μ m
Concentração de Dopantes no Substrato (N_{ab})	1.0×10^{15}		cm^{-3}
Concentração de Dopantes no Filme de Silicio (N_{af})	5.5×10^{17}	1.0×10^{18}	cm^{-3}

Validação do Modelo CM Proposto

Região Linear

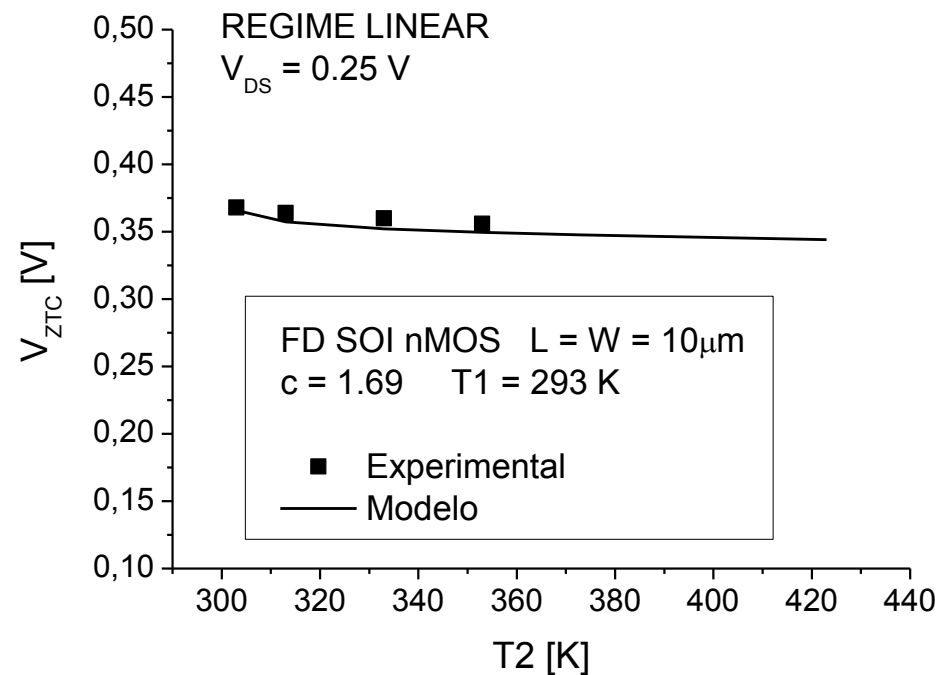
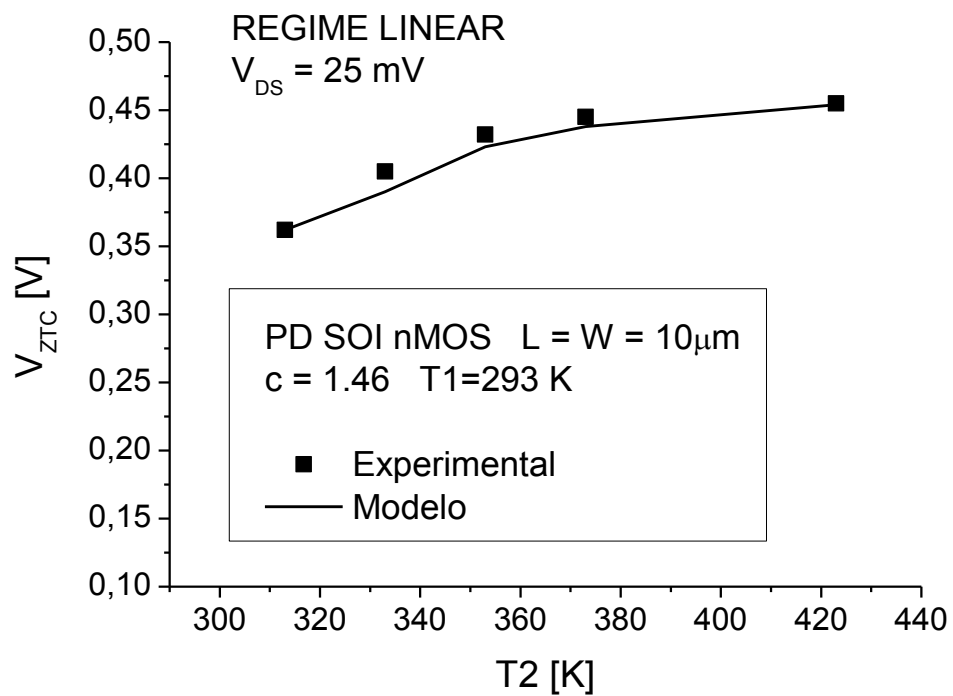


Curvas I_{DS} x V_{GF} de medidas experimentais do transistor PD-SOI em diferentes temperaturas

Validação do Modelo CM Proposto

**PD e FD nMOS
Região Linear**

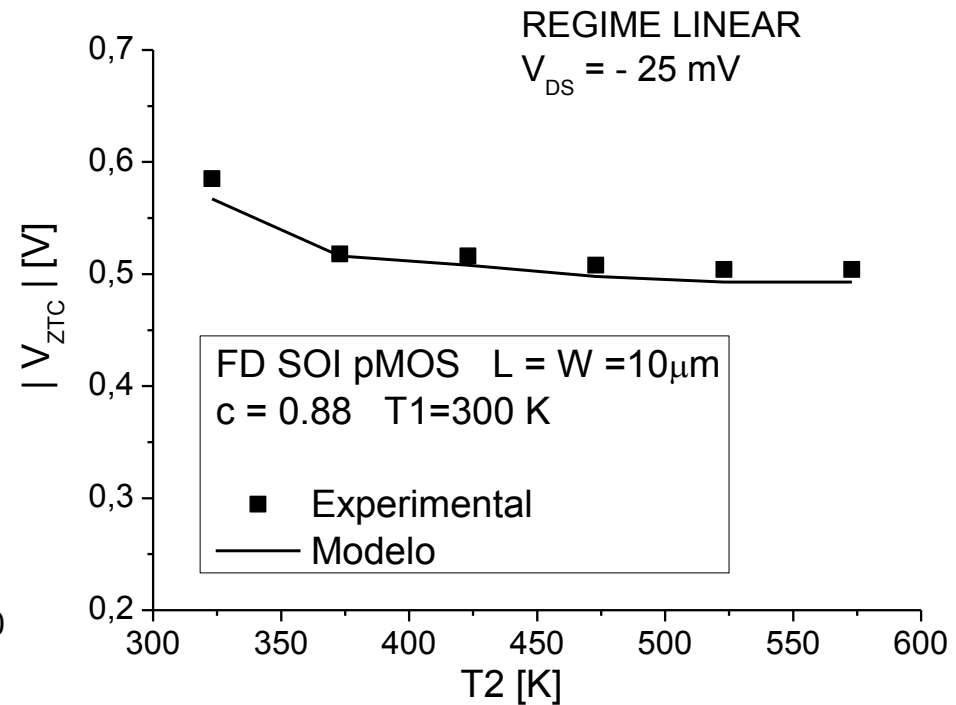
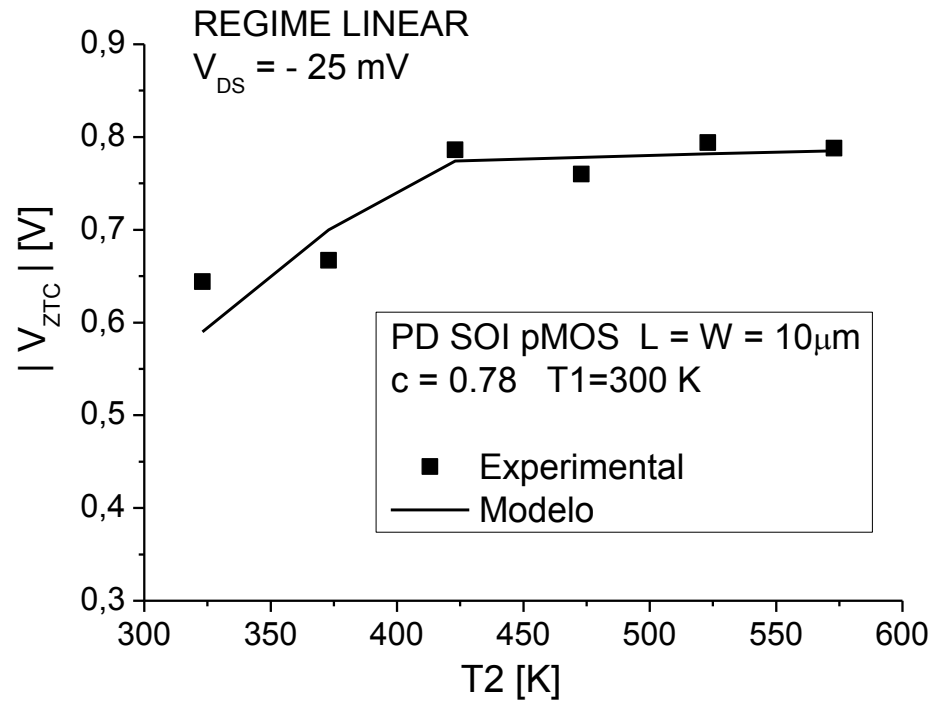
$$V_{ZTC1,2\ LIN} = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c} + n \frac{V_{DS}}{2}$$



Validação do Modelo CM Proposto

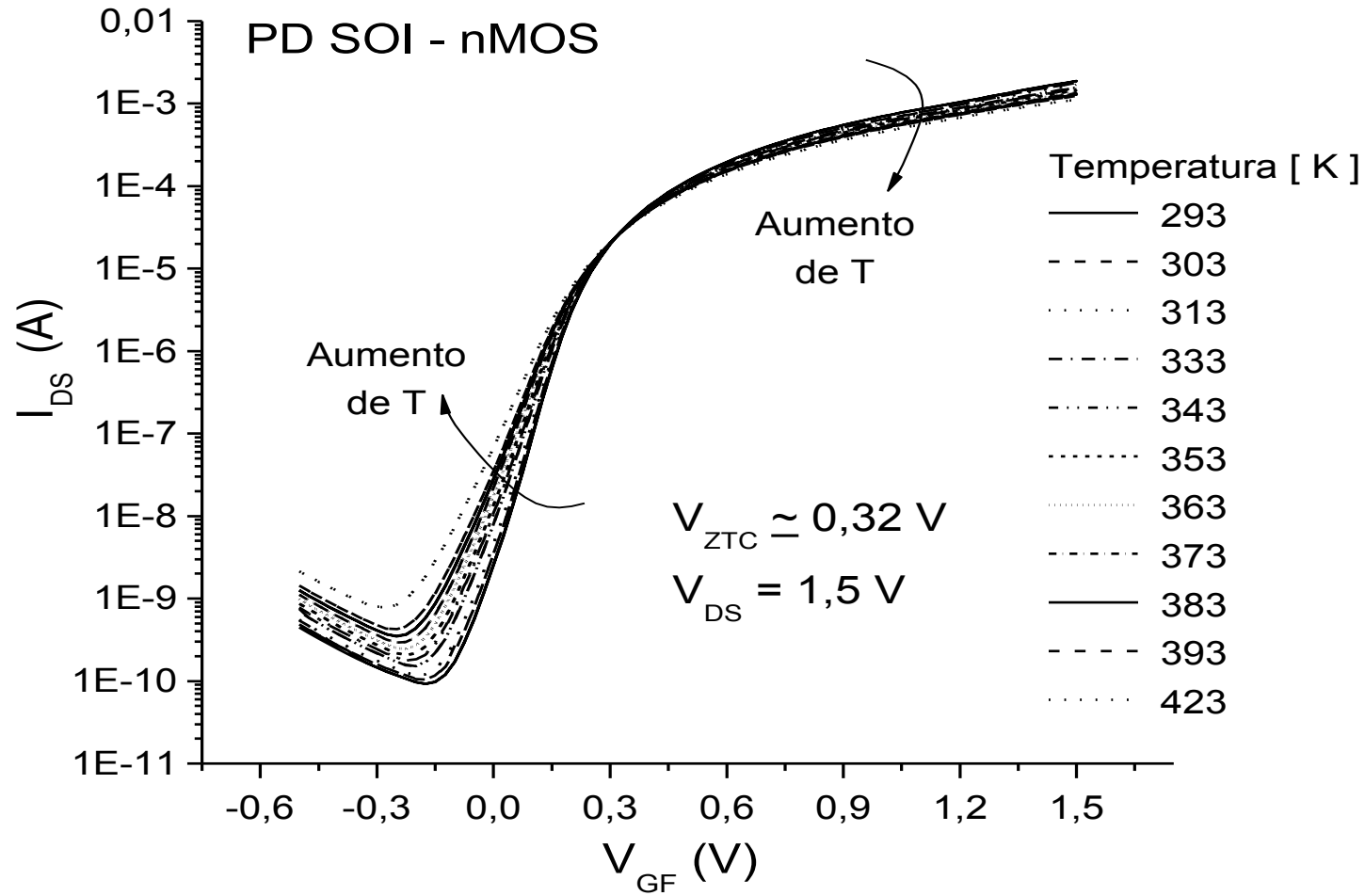
**PD e FD pMOS
Região Linear**

$$V_{ZTC1,2\ LIN} = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c} + n \frac{V_{DS}}{2}$$



Validação do Modelo CM Proposto

Região de Saturação



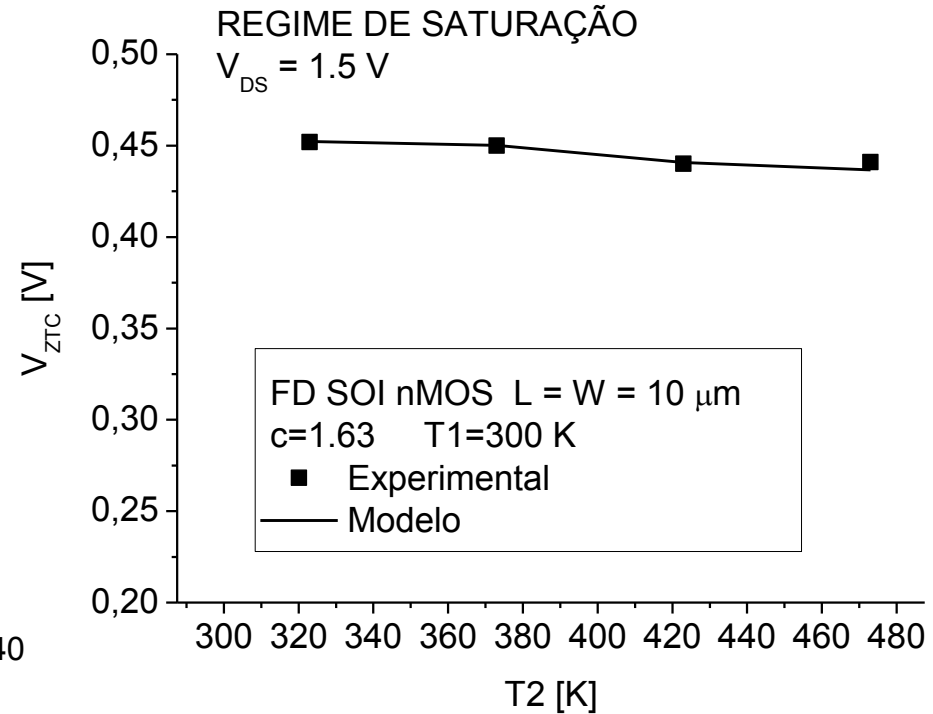
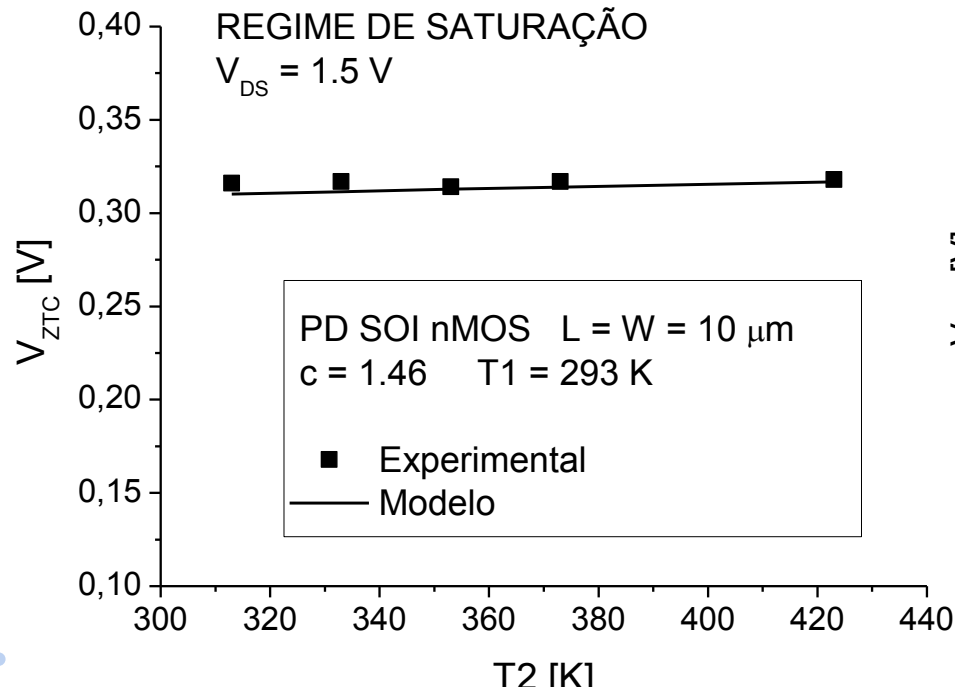
Validação do Modelo CM Proposto

**PD e FD nMOS
Região de Saturação**

$$V_{ZTC}(T1, T2) = A + \sqrt{A^2 - B}$$

$$A = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c}$$

$$B = \frac{V_{th1}^2 - V_{th2}^2 \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c}$$



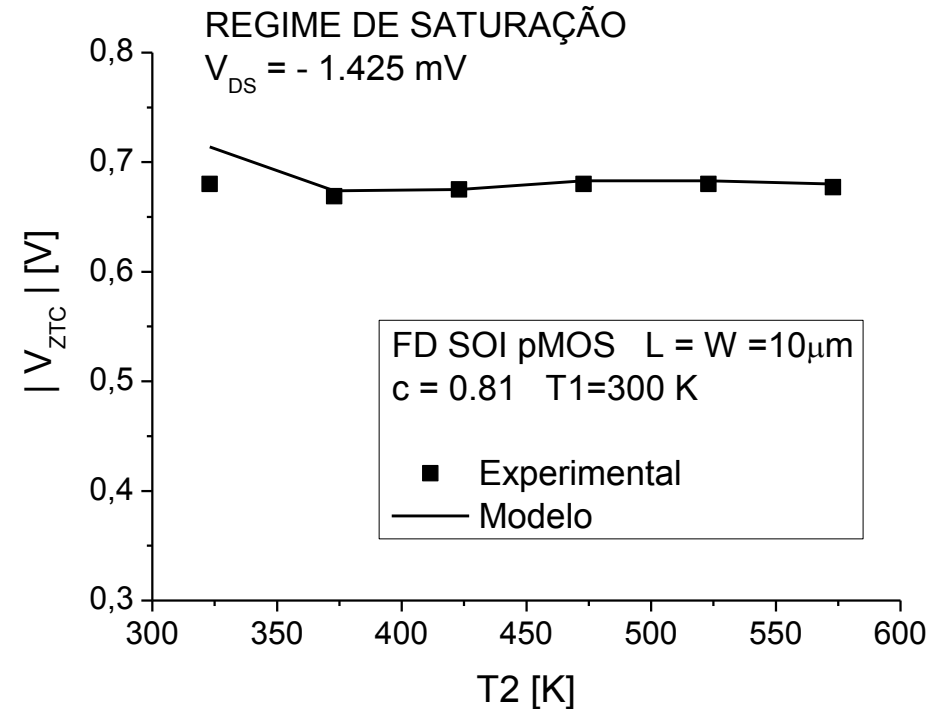
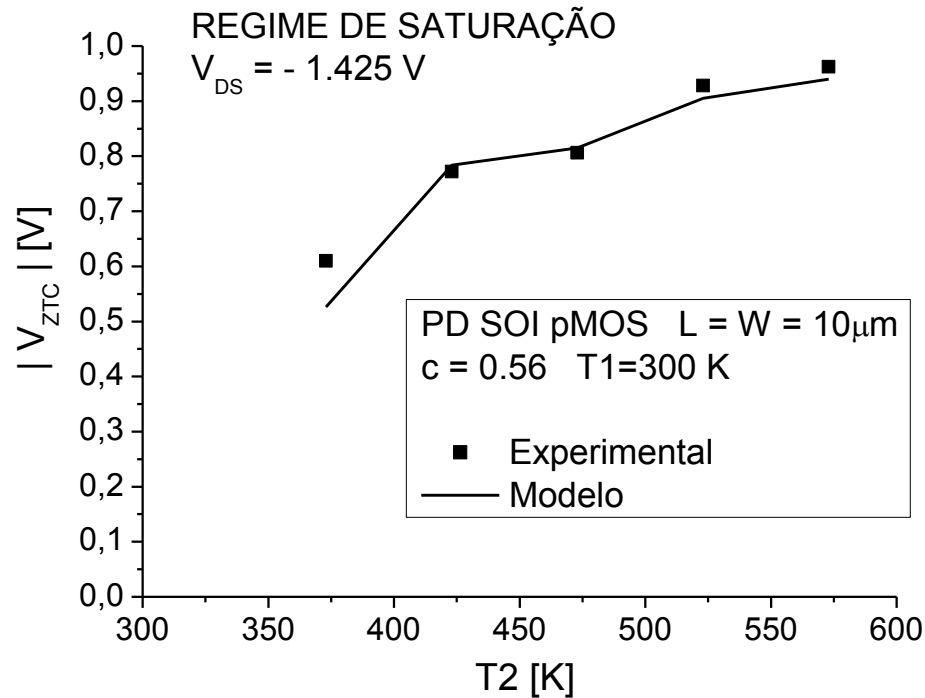
Validação do Modelo CM Proposto

**PD e FD pMOS
Região de Saturação**

$$V_{ZTC}(T1, T2) = A + \sqrt{A^2 - B}$$

$$A = V_{th_1} + \frac{(V_{th_1} - V_{th_2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c}$$

$$B = \frac{V_{th_1}^2 - V_{th_2}^2 \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c}$$



Estudo da Estabilidade do Ponto Invariante com a Temperatura (ZTC)

Através do modelo proposto da tensão de polarização no ponto ZTC (V_{ZTC}), foi realizado o estudo da estabilidade do ponto ZTC em função da variação dos seguintes parâmetros:

- Fator de degradação da mobilidade com a temperatura (c),
- Comprimento de canal (L),
- Tensão de dreno (V_{DS}).

Estudo da Estabilidade do Ponto (ZTC)

Estudo do fator de degradação da mobilidade com a temperatura (c) no ponto ZTC

Dados para a análise

Para o estudo da influência do fator de degradação da mobilidade com a variação de temperatura (c) foram considerados:

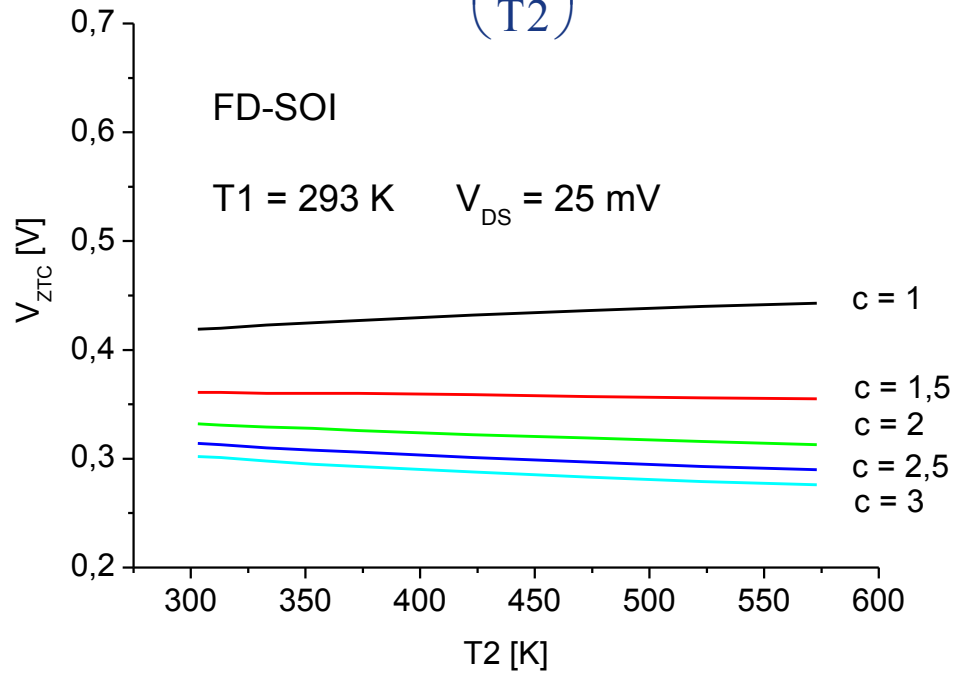
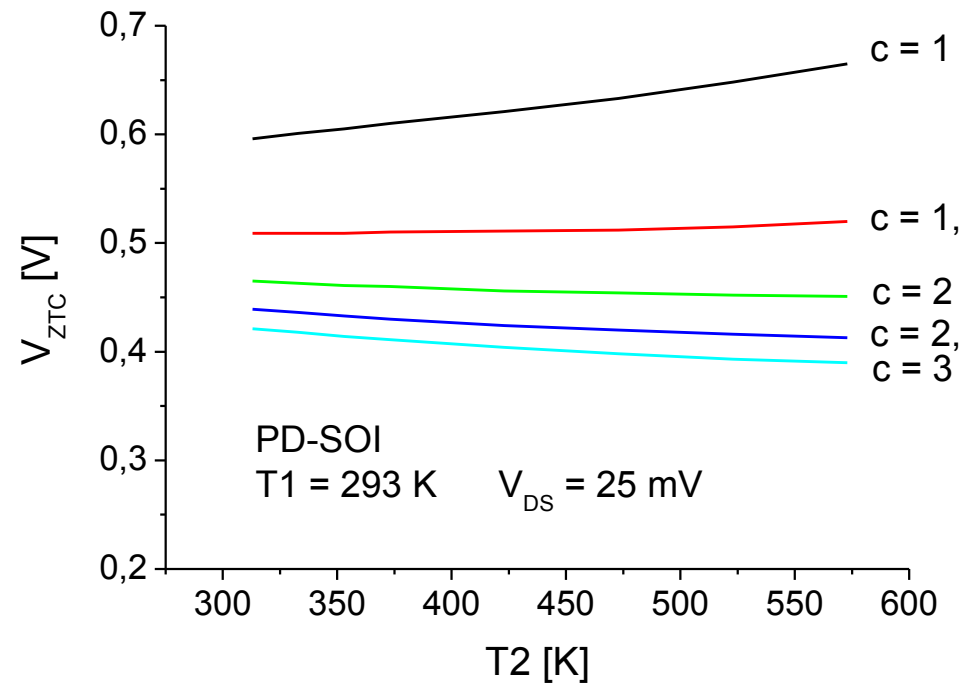
- Temperatura de referência T1 = 293K (20°C),
- Concentração de portadores no filme de silício
 - $N_{af} = 5.5 \times 10^{17} \text{ cm}^{-3}$ para dispositivos PD-SOI
 - $N_{af} = 1.0 \times 10^{18} \text{ cm}^{-3}$ para dispositivos FD-SOI
- $t_{oxf} = 2.5 \text{ nm}$ para ambos dispositivos
 - Foi observado o valor de $V_{ZTC}(T1, T2)$ em função da variação de temperatura T2,
 - ocorrendo nas **regiões linear e de saturação.**

Estudo da Estabilidade do Ponto (ZTC)

Fator de degradação da mobilidade com a temperatura no ponto ZTC

Região Linear

$$V_{ZTC1,2 \text{ LIN}} = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c} + n \frac{V_{DS}}{2}$$



Da eq. $V_{ZTC1,2 \text{ LIN}}$ Com \uparrow de T \Rightarrow variação $(V_{th1} - V_{th2}) \uparrow$ e termo $\left[\frac{T1}{T2}\right]^c \downarrow$

A competição destes dois termos **depende do fator c** que é o responsável pela variação de V_{ZTC} com T

Estudo da Estabilidade do Ponto (ZTC)

Fator de degradação da mobilidade com a temperatura no ponto ZTC

Região Linear

$$V_{ZTC1,2\ LIN} = V_{th1} + \frac{(V_{th1} - V_{th2}) \left(\frac{T1}{T2}\right)^c}{1 - \left(\frac{T1}{T2}\right)^c} + n \frac{V_{DS}}{2}$$

Variação de V_{ZTC} para um intervalo de temperatura de 313 K a 573 K

c	$V_{ZTC}(313\ K) - V_{ZTC}(573\ K)$	
	PD (mV)	FD (mV)
1	- 69	- 23
1.5	- 11	6
2	14	18
2.5	26	23
3	32	25

Variação de $V_{ZTC\ 1,2}$ (intervalo de T de 313 K a 573 K)

é menor nos Dispositivos FD

↳ variação de V_{thF} com T depende somente da variação de ϕ_F .

Dispositivos PD

variação de V_{thF} com T é uma função dependente da redução da profundidade da região de depleção,

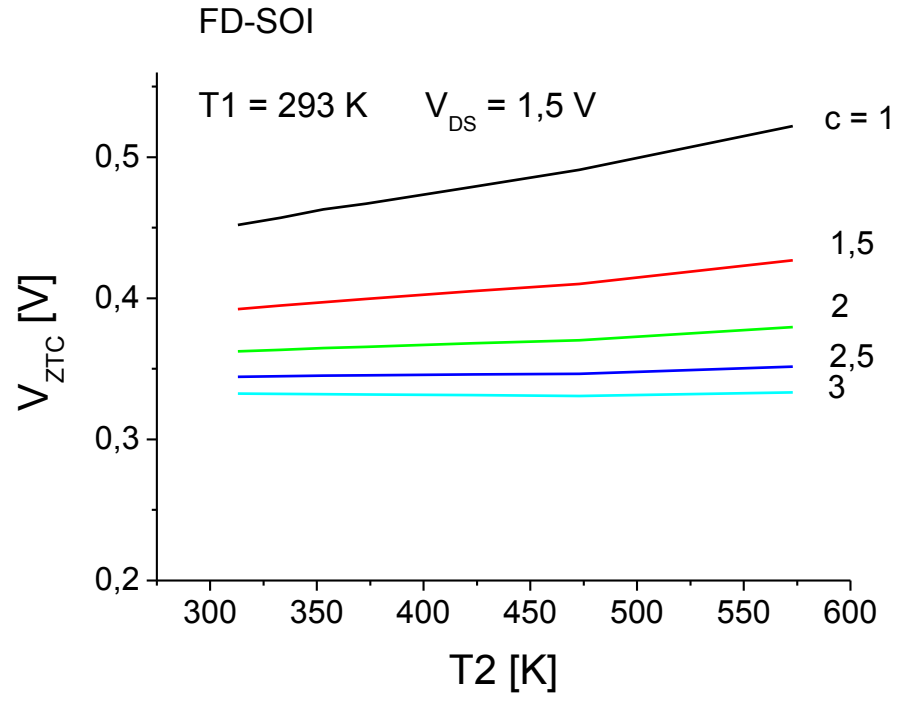
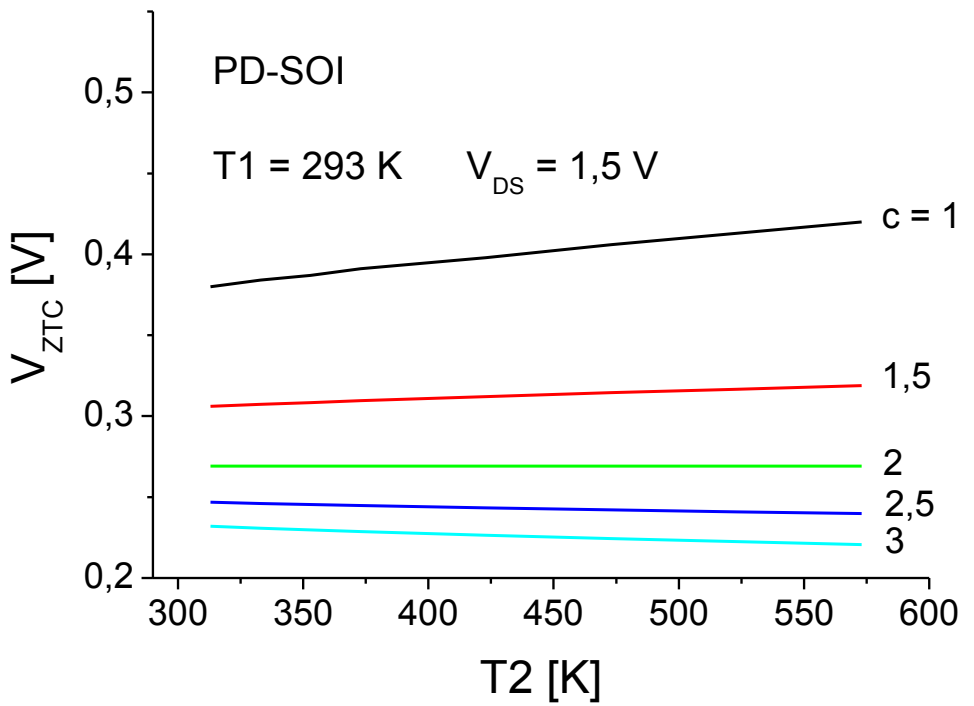
Estudo da Estabilidade do Ponto (ZTC)

Fator de degradação da mobilidade com a temperatura no ponto ZTC

Região de Saturação

$$A = V_{th_1} + \frac{(V_{th_1} - V_{th_2}) \left(\frac{T_1}{T_2}\right)^c}{1 - \left(\frac{T_1}{T_2}\right)^c} \quad B = \frac{V_{th_1}^2 - V_{th_2}^2 \left(\frac{T_1}{T_2}\right)^c}{1 - \left(\frac{T_1}{T_2}\right)^c}$$

$$V_{ZTC}(T_1, T_2) = A + \sqrt{A^2 - B}$$



Das figuras: Com ↑ de c ⇒ V_{ZTC} ↓ para ambos dispositivos PD e FD SOI

Estudo da Estabilidade do Ponto (ZTC)

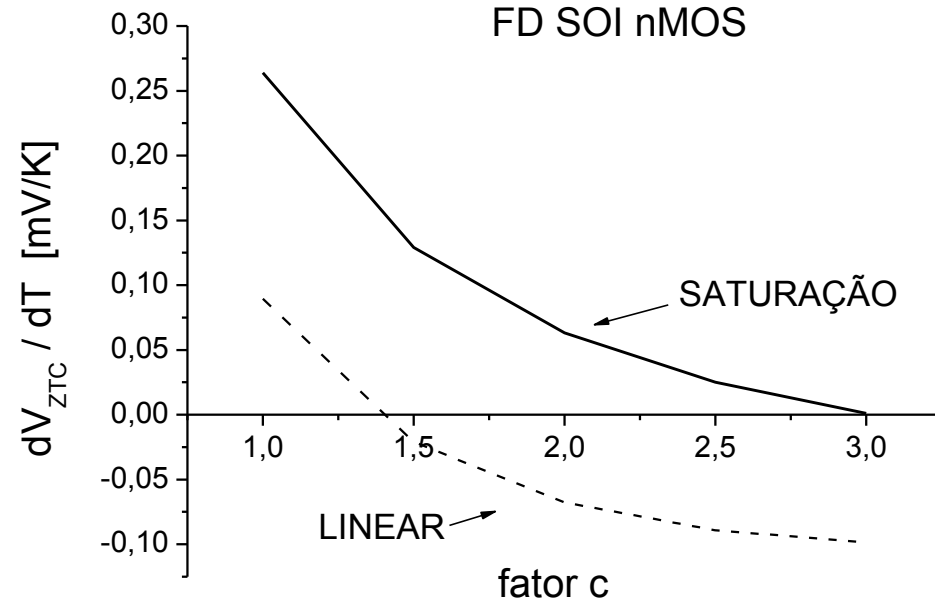
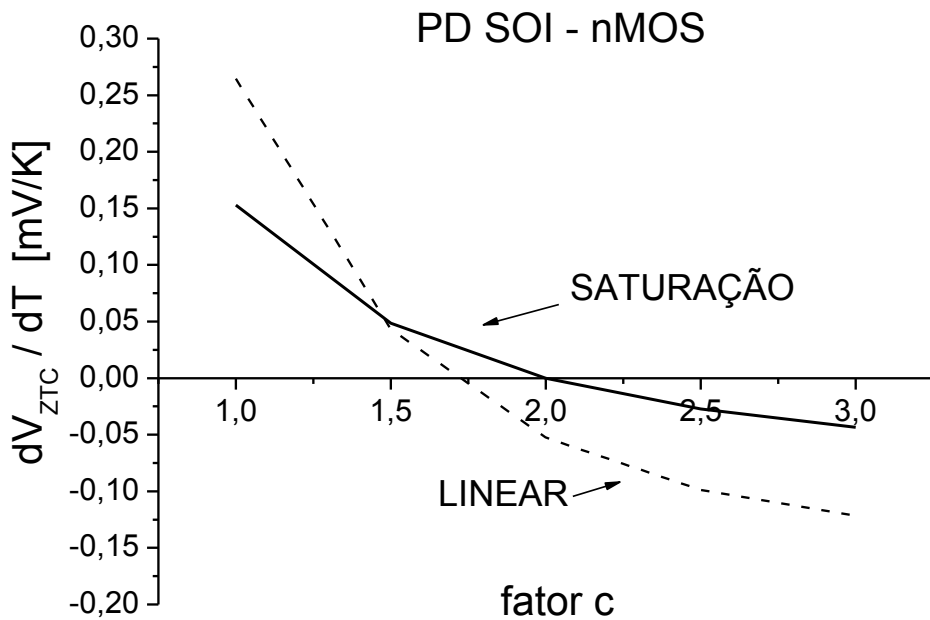
Fator de degradação da mobilidade com a temperatura no ponto ZTC

Variação de V_{ZTC} por T2 em função do parâmetro (c)

$$\mu_{n2} = \mu_{n1} \left(\frac{T1}{T2} \right)^c \quad c = \frac{\log \left(\frac{\mu_2}{\mu_1} \right)}{\log \left(\frac{T_1}{T_2} \right)}$$

$$\frac{dV_{ZTC}}{dT} \approx 0$$

c	LIN	SAT
PD	1.7	2.0
FD	1.4	3.0



Estudo da Estabilidade do Ponto (ZTC)

Fator de degradação da mobilidade com a temperatura no ponto ZTC

Sensibilidade do Método Proposto

Análise realizada em função da variação dos parâmetros:
 concentração de dopantes (N_{af}) e
 espessura do óxido de porta (t_{oxf})

Considerando que os valores desejados (adotados como referência) são:

$$\begin{aligned} N_{af} &= 5,5 \cdot 10^{17} \text{ cm}^{-3} \text{ (PD)} & 1 \cdot 10^{18} \text{ cm}^{-3} \text{ (FD)} \\ t_{oxf} &= 2,5 \text{ nm (ambos)} \end{aligned}$$

Para análise a variação ΔV_{ZTC} é definida :

$$\Delta V_{ZTC} = V_{ZTC} (N_{af}, x_{ox}) - V_{ZTC} (\text{referência})$$

Estudo da Estabilidade do Ponto (ZTC)

Fator de degradação da mobilidade com a temperatura no ponto ZTC

Sensibilidade do Método Proposto

Objetivo da análise foi para estudar o impacto da introdução de um erro de 10% nos valores de referência de N_{af} e t_{oxf}

Erro máximo observado

PD SOI		Erro em ΔV_{ZTC} (%)	
t_{oxf} (nm)	N_{af} (10^{17} cm^{-3})	LINEAR	SATURAÇÃO
2.5	$5.5 \pm 10\%$	3.1	3.5
$2.5 \pm 10\%$	5.5	4.6	7.2

FD SOI		Erro em ΔV_{ZTC} (%)	
t_{oxf} (nm)	N_{af} (10^{18} cm^{-3})	LINEAR	SATURAÇÃO
2.5	$1.0 \pm 10\%$	11	5.3
$2.5 \pm 10\%$	1.0	11	8.4

Estudo da Estabilidade do Ponto (ZTC)

Tensão de Dreno (V_{DS})

Analise da influência da variação da **Tensão de Dreno (V_{DS})** no ponto ZTC, através de :

Dados experimentais
e do Modelo analítico proposto

Dispositivos SOI n e pMOSFETs

Operando em regime parcialmente depletado (PD)

Estudo da Estabilidade do Ponto (ZTC)

Tensão de Dreno (V_{DS})

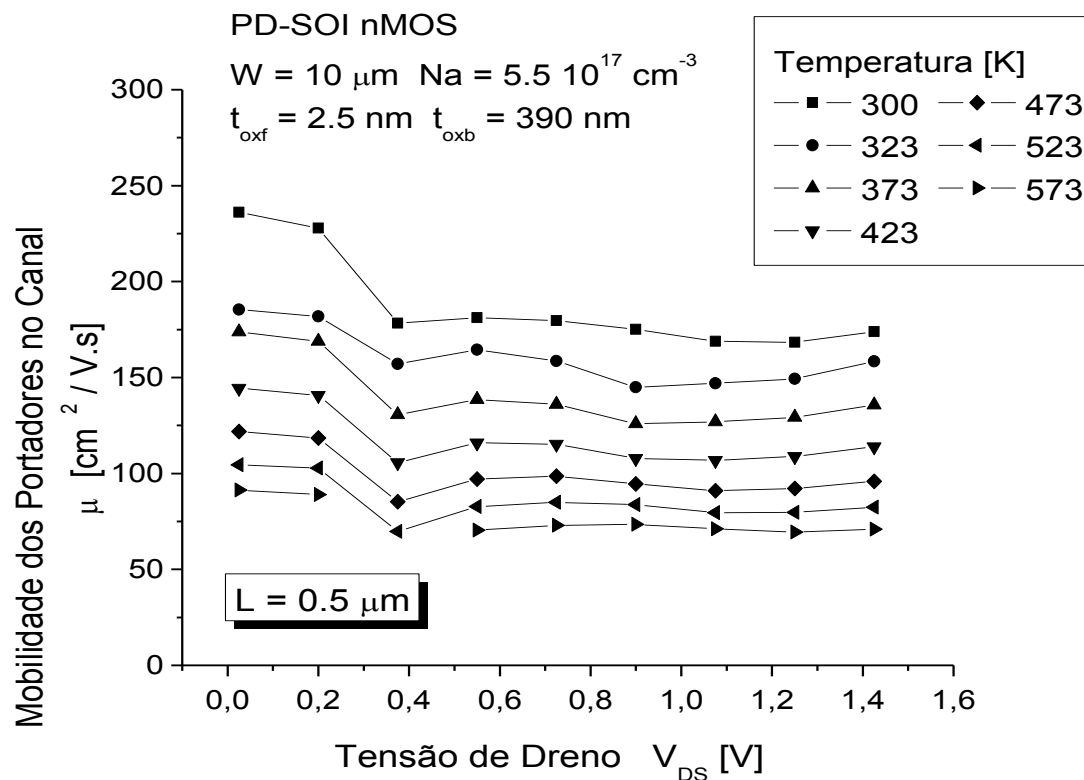
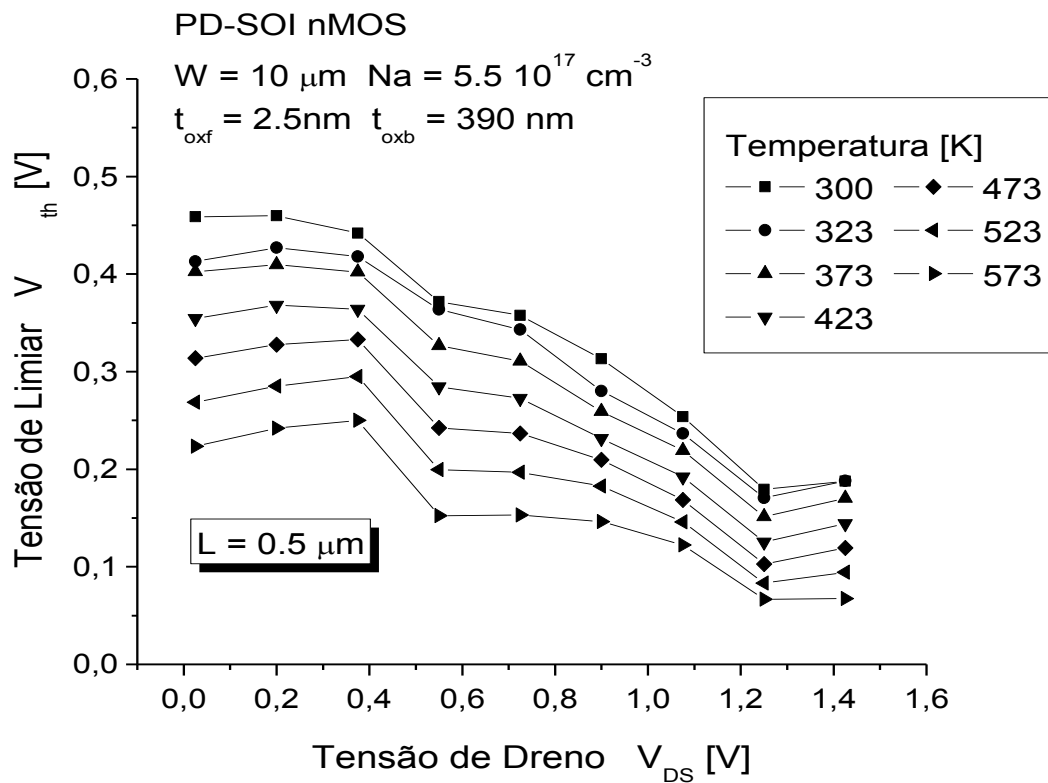
$$V_{ZTC} = f(V_{thF}, \mu_n)$$

$$V_{ZTC\ LIN} = A + n \frac{V_{DS}}{2}$$

$$A = \frac{\mu_{n1} \cdot V_{th1} - \mu_{n2} \cdot V_{th2}}{\mu_{n1} - \mu_{n2}}$$

$$V_{ZTC\ SAT} = A + \sqrt{A^2 - B}$$

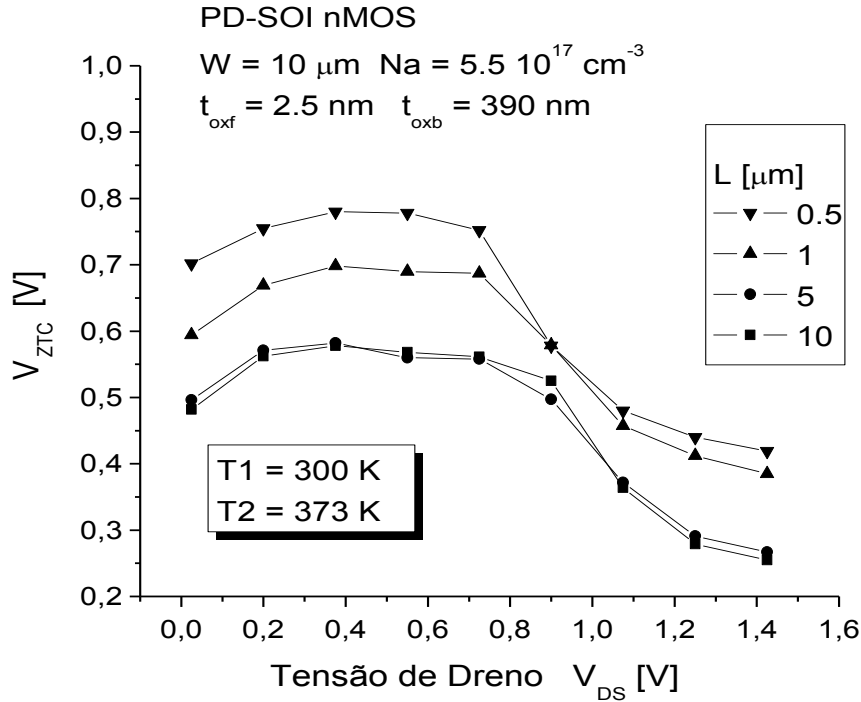
$$B = \frac{\mu_{n1} \cdot V_{th1}^2 - \mu_{n2} \cdot V_{th2}^2}{\mu_{n1} - \mu_{n2}}$$



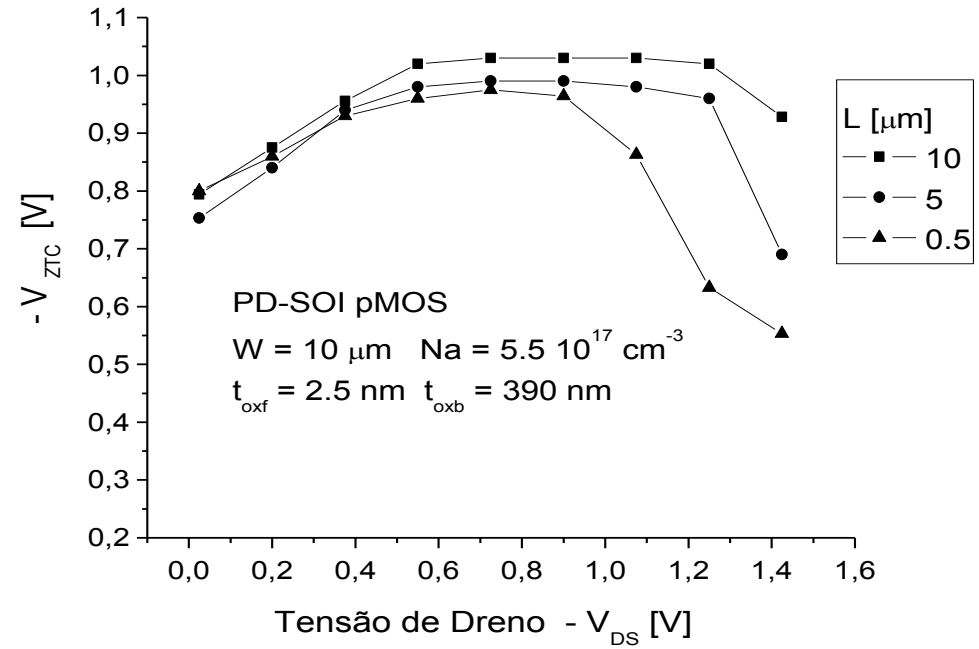
Estudo da Estabilidade do Ponto (ZTC)

Tensão de Dreno (V_{DS})

PD SOI nMOS



PD SOI pMOS



V_{DS} alto \Rightarrow DIBL \Rightarrow $\downarrow V_{thF}$ \Rightarrow $\downarrow V_{ZTC}$
 $f(V_{thF})$

Aplicação do modelo CM proposto em outras tecnologias

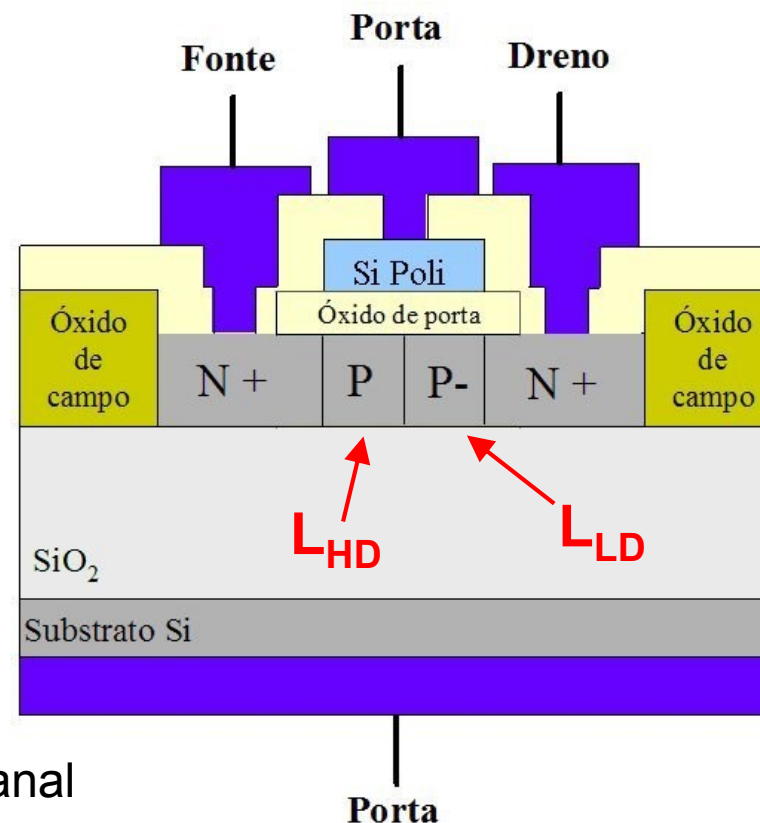
Aplicação e comparação do modelo CM proposto do ponto ZTC, com dados obtidos de dispositivos fabricados em outras tecnologias MOSFET:

- GC SOI (“Graded Channel” – Canal Gradual)
- GC-GAA SOI (“Graded Channel - Gate-All-Around” – Porta Dupla (Circundante) com Canal Gradual)
- Elisoidal MOSFET
- Diamante MOSFET

GC SOI ("Graded Channel" – Canal Gradual)

Vantagens do GC SOI

- Aumento da Corrente de Dreno
- Aumento da Transcondutância Máxima
- Reduzida Modulação do Comprimento de Canal
- Reduzida Condutância de Saída
- Aumento da Tensão Early
- Aumento da Tensão de Ruptura de Dreno, que reduz o efeito bipolar parasitário da estrutura GC.

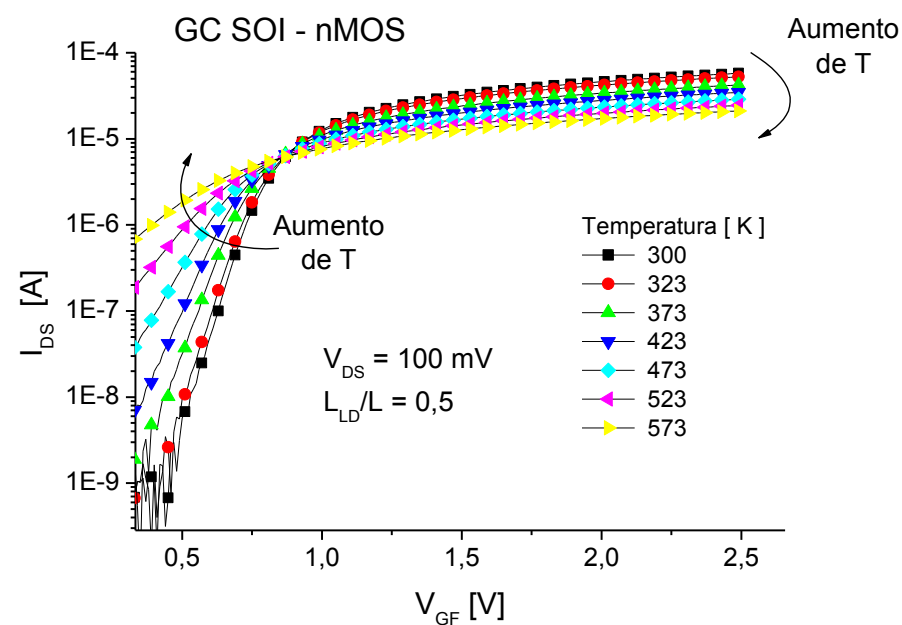
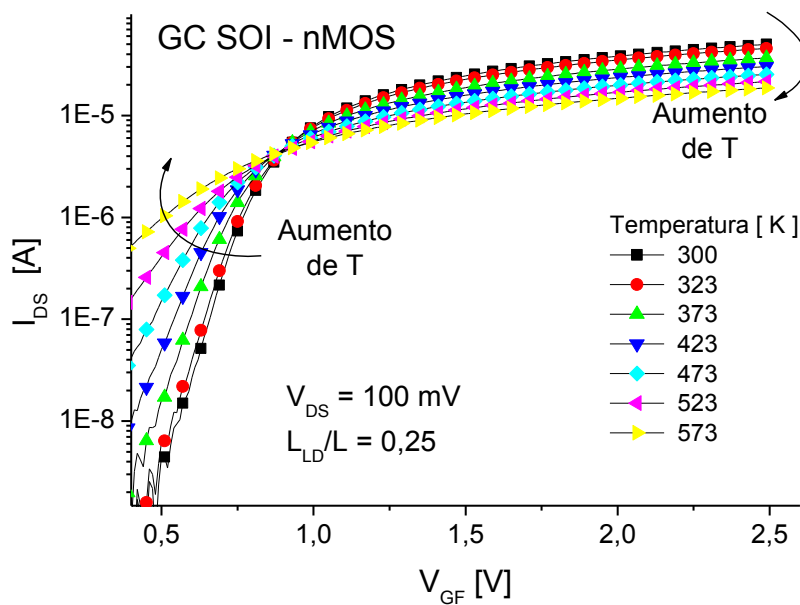


Os dispositivos GC SOI analisados :

espessura do óxido de porta	t_{oxf}	31 nm
espessura do óxido enterrado	t_{oxb}	390 nm
espessura da camada de silício	t_{Si}	80 nm
concentração da região de baixa dopagem do canal concentração do substrato	N_{ab} N_{sub}	1.10^{15}cm^{-3}
concentração da região que sofreu implantação para o ajuste da tensão de limiar	N_{af}	1.10^{17}cm^{-3}
faixa de temperatura estudada		27 a 300 °C (300K a 573K)
estruturas com relações de comprimento de canal	L_{LD}/L (L_{HD})	0,25 (3 μm), 0,5 (2 μm), 0,625 (1,5 μm), 0,825 (0,7 μm)
Comprimento de canal	L	4 μm
Largura de Canal	W	18 μm

Ocorrência do Ponto V_{ZTC}

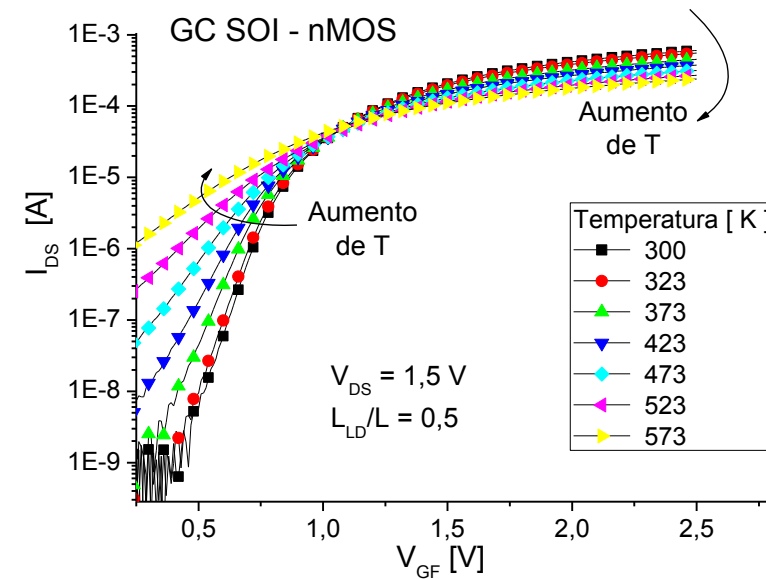
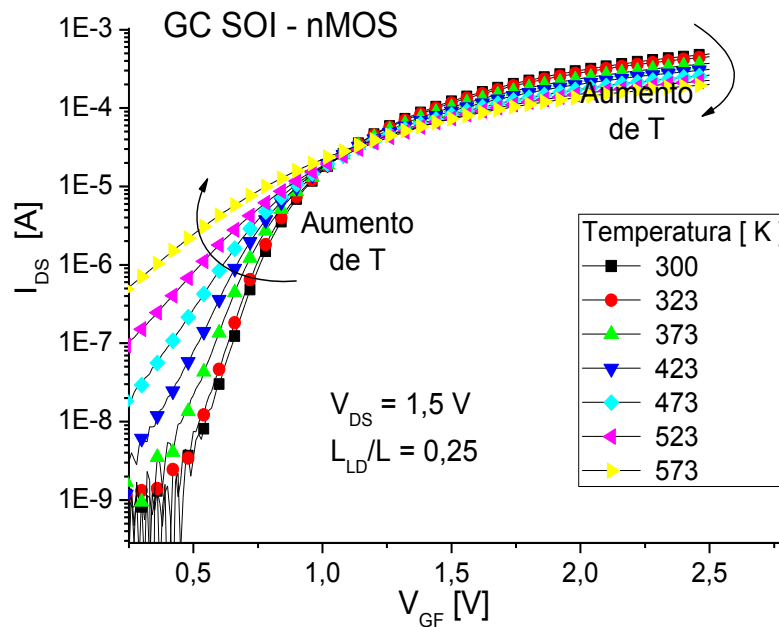
Foi possível observar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), e que são apresentadas apenas as relações L_{LD}/L de 0,25 e 0,5 em ambas as condições de polarização:



Aplicação do Modelo CM em dispositivos GC SOI

Ocorrência do Ponto V_{ZTC}

Foi possível observar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), e que são apresentadas apenas as relações L_{LD}/L de 0,25 e 0,5 em ambas as condições de polarização:

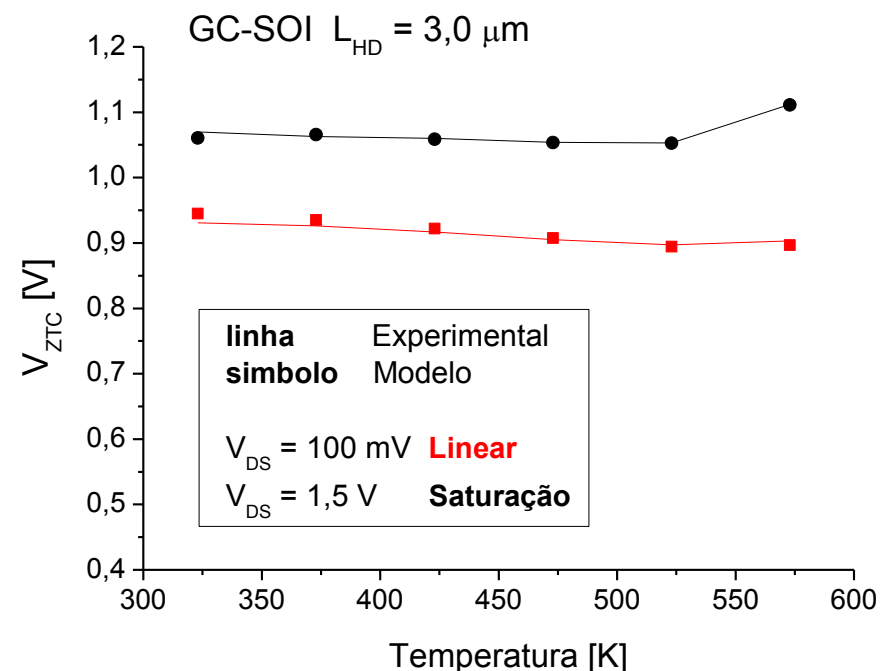
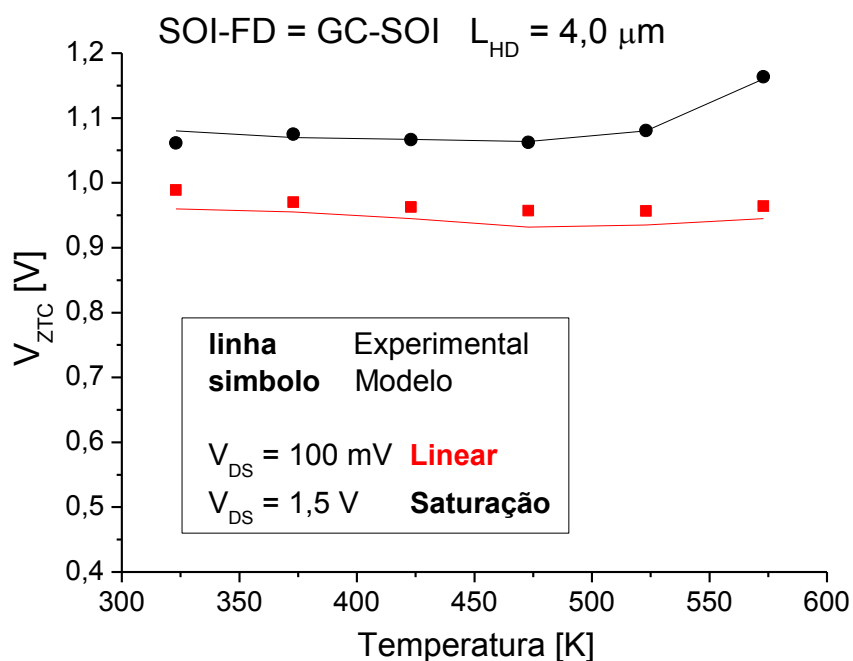


V_{ZTC} : Dados Experimentais e Modelo CM

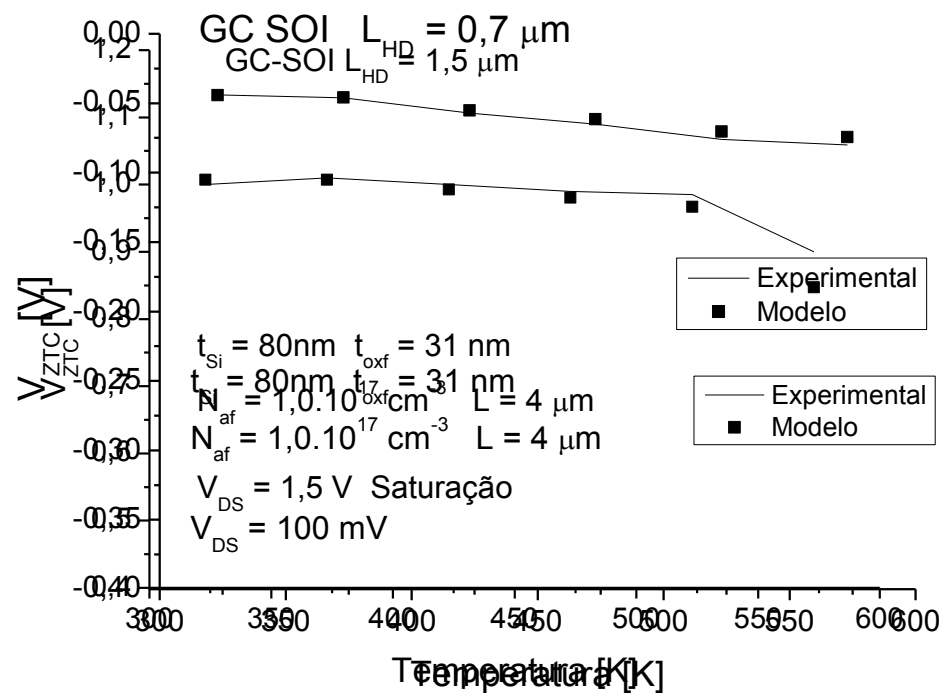
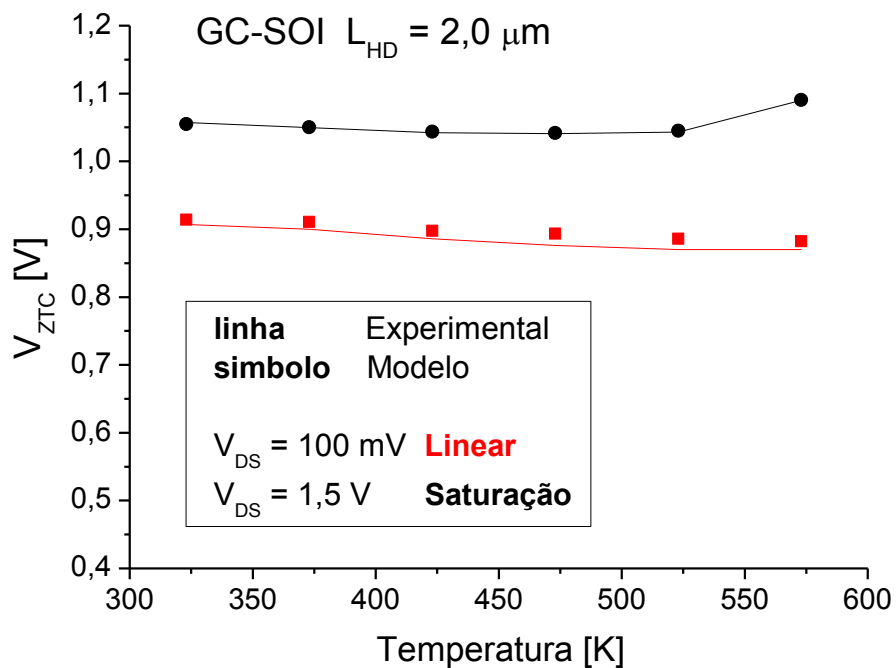
$$\mu_{n2} = \mu_{n1} \left(\frac{T1}{T2} \right)^c$$

fator c (degradação da mobilidade com a temperatura)

- Obtido através da [equação \(46\)](#) aplicada aos dados experimentais
- Adotado a média aritmética do fator c (300 a 573 K)
- Foi observado um bom ajuste dos resultados do modelo CM com os dados experimentais



V_{ZTC} : Dados Experimentais e Modelo CM



V_{ZTC} : Dados Experimentais e Modelo CM

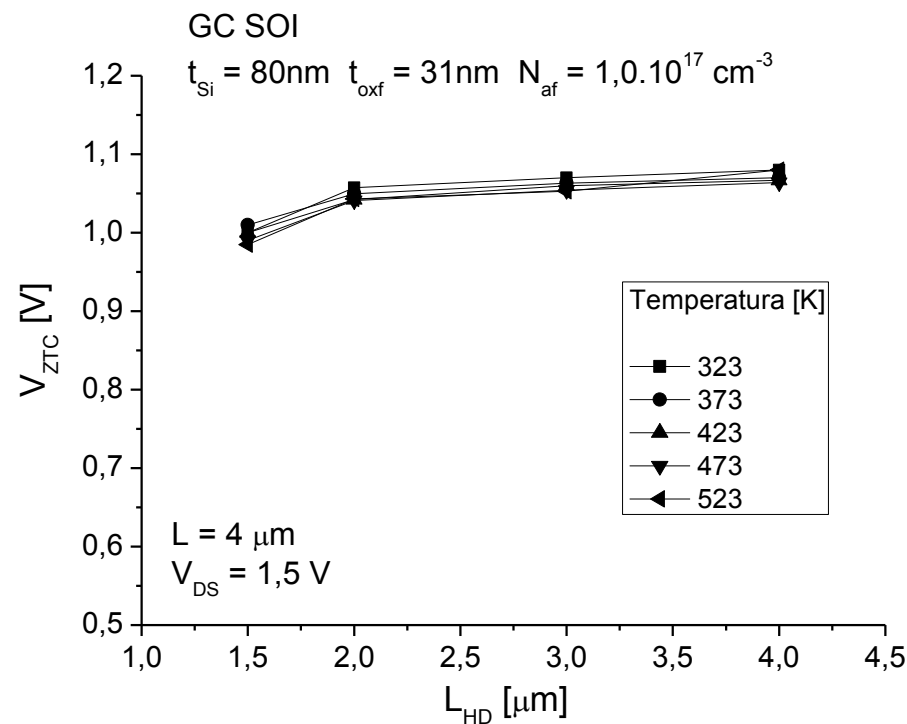
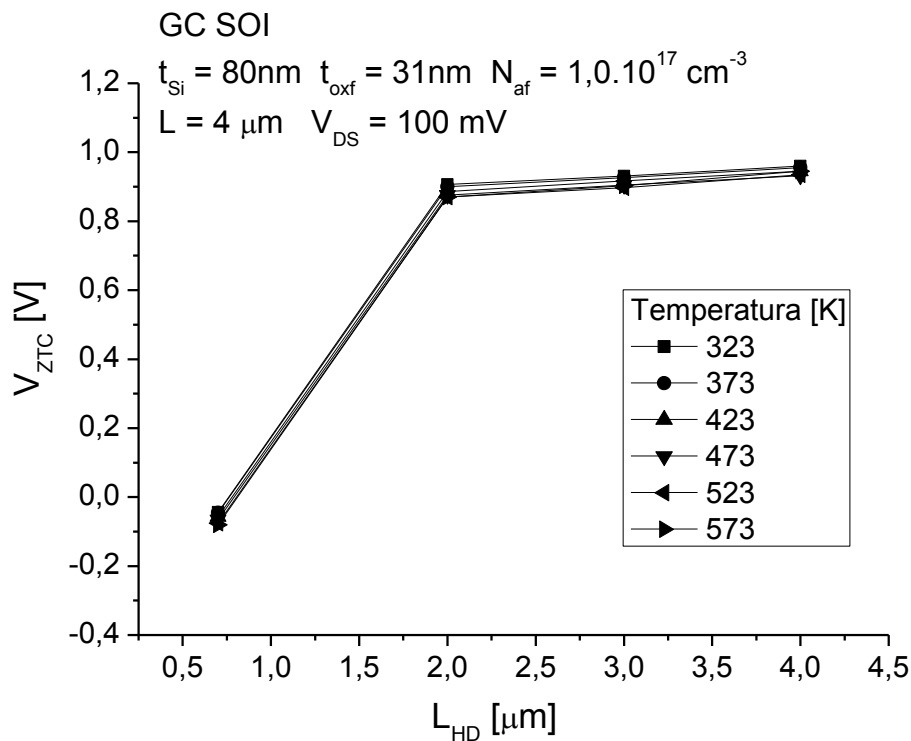
	Fator c (média)				
L_{HD} [μm]	4	3	2	1,5	0,7
Linear	1,46	1,65	1,81		1,91
Saturação	1,59	1,62	1,88	2,47	

Os dados obtidos experimentalmente, indicam a maior degradação da mobilidade

- com o aumento da temperatura em dispositivos com menor comprimento de canal
- para menores L devido o aumento do campo elétrico

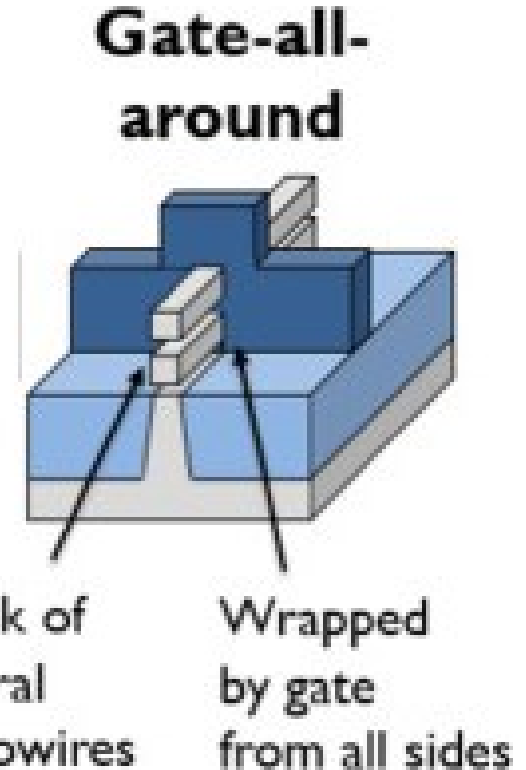
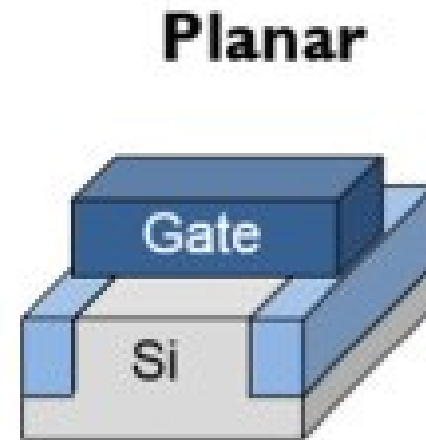
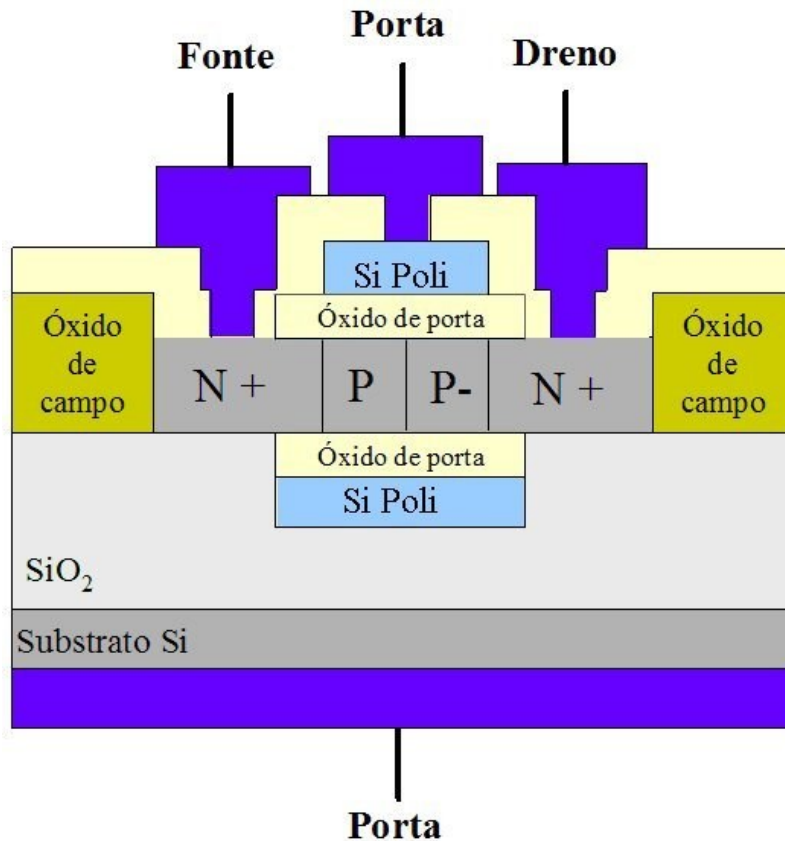
uma vez que em um escalamento realista de dispositivos, a tensão elétrica é reduzida com um fator de escala menor do que o utilizado para as dimensões. Isto faz com que o campo elétrico aumente com o escalamento.

Variação de V_{ZTC} com comprimento de canal (L)



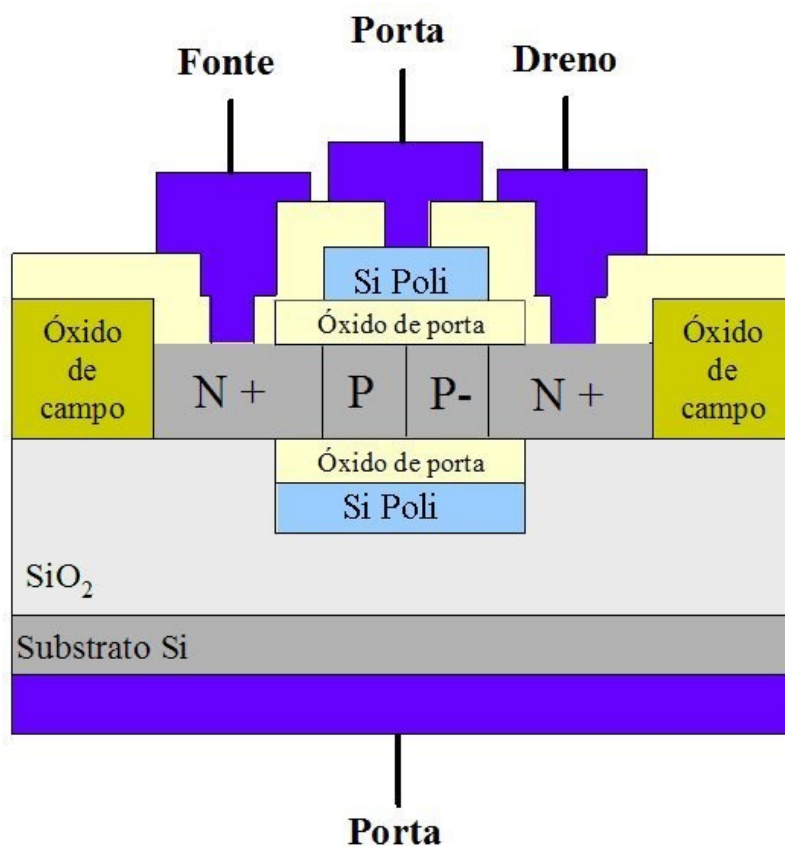
$\downarrow V_{ZTC}$ com $\downarrow L \Rightarrow V_{ZTC} = f(\downarrow V_{thF}) \Rightarrow \downarrow V_{thF}$ com SCE

GC-GAA SOI ("Gate-All-Around Graded Channel" Porta Dupla (Circundante) com Canal Gradual)



COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI, 3 Ed. Massachusetts (EUA): Kluwer Academic Publishers, 2004.

GC-GAA SOI ("Gate-All-Around Graded Channel" Porta Dupla (Circundante) com Canal Gradual)



Vantagens do GC-GAA SOI

- Efeito de corpo praticamente igual a 1
 - devido ao perfeito acoplamento capacitivo entre a região do canal e a porta,
 - e devido à formação de dois canais de inversão,
- Corrente de condução é pelo menos o dobro do valor da corrente encontrada nos dispositivos "single-gate"
- Vantagens da estrutura GC

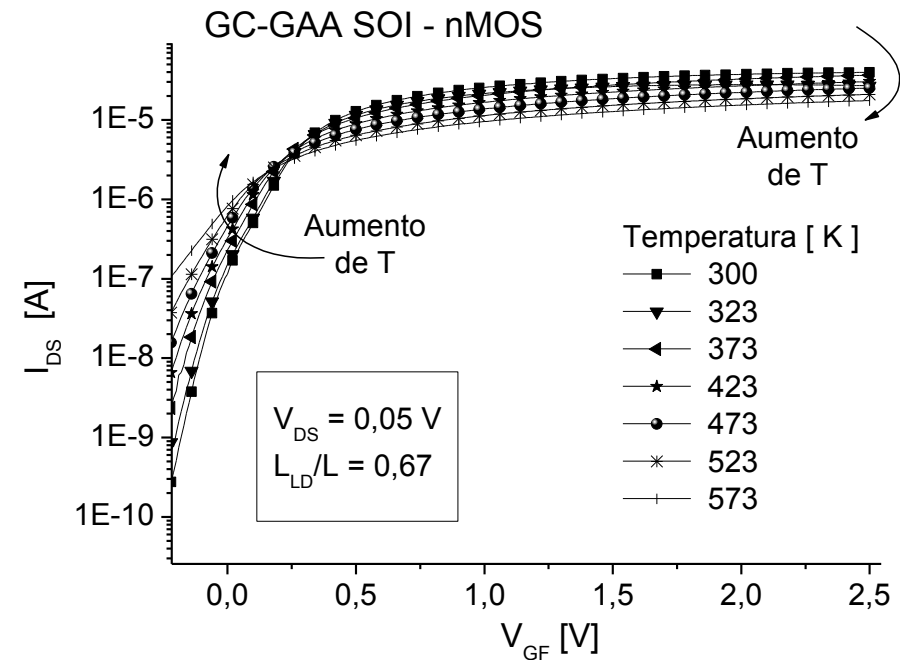
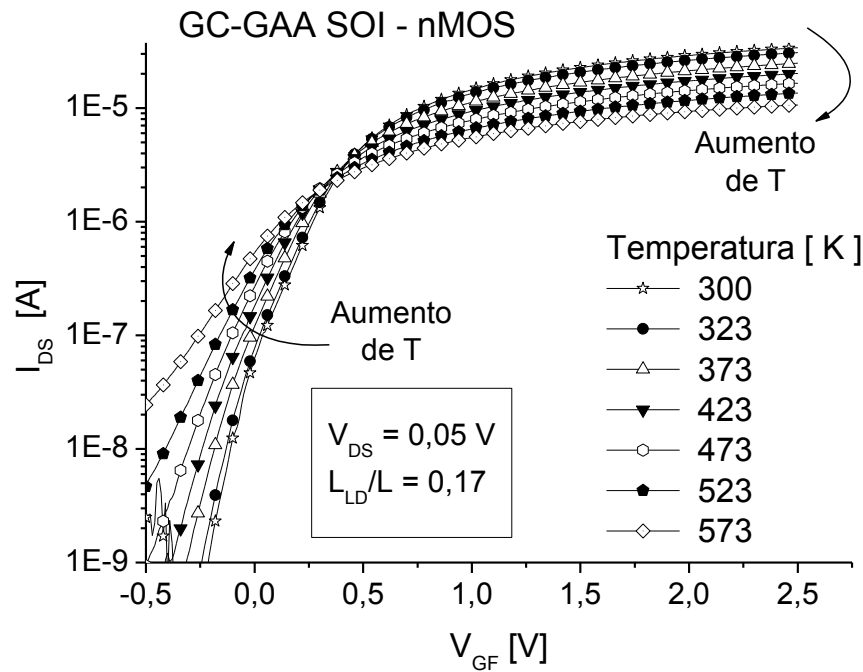
COLINGE, J.P. Silicon-On-Insulator Technology: Materials to VLSI, 3 Ed. Massachusetts (EUA): Kluwer Academic Publishers, 2004.

Os dispositivos GC-GAA SOI analisados :

espessura do óxido de porta	t_{oxf}	30 nm
espessura do óxido enterrado	t_{oxb}	390 nm
espessura da camada de silício	t_{Si}	80 nm
concentração da região de baixa dopagem do canal concentração do substrato	N_{ab} N_{sub}	1.10^{15}cm^{-3}
concentração da região que sofreu implantação para o ajuste da tensão de limiar	N_{af}	$6,8 \cdot 10^{16}\text{cm}^{-3}$
faixa de temperatura estudada		27 a 300 °C (300K a 573K)
estruturas com relações de comprimento de canal	L_{LD}/L (L_{HD})	0,17 (0,5 μm), 0,33 (1 μm), 0,67 (2 μm)
Comprimento de canal	L	3 μm
Largura de Canal (estrutura de 3 dedos)	W	3 μm

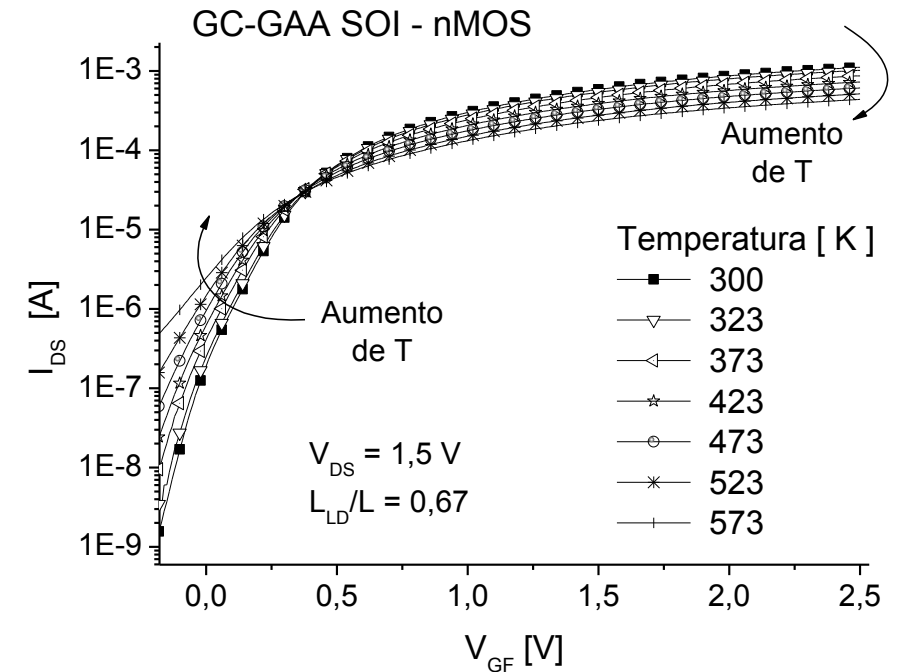
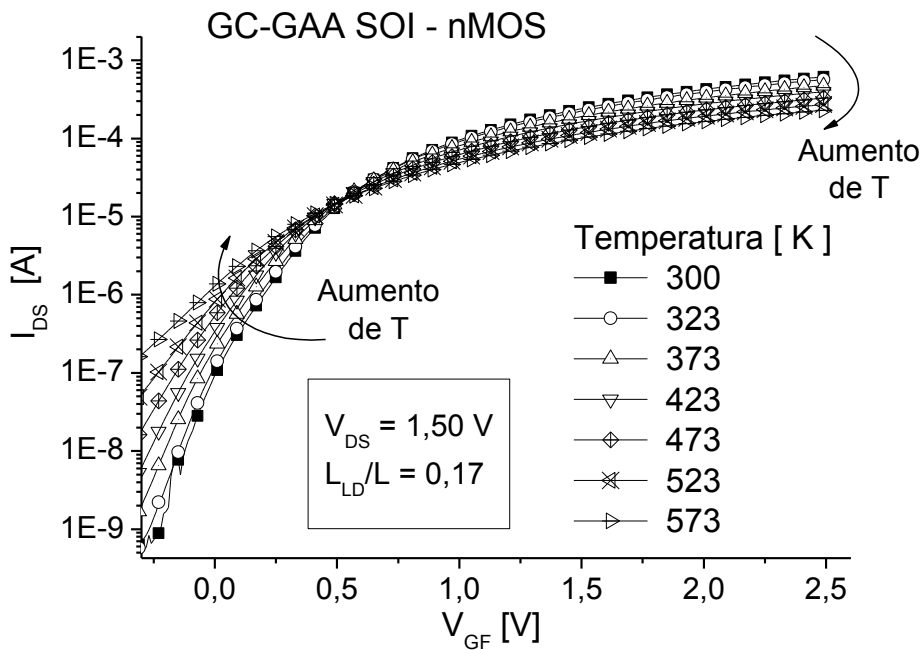
Ocorrência do Ponto V_{ZTC}

Foi possível observar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), em ambas as condições de polarização, linear e saturação.



Ocorrência do Ponto V_{ZTC}

Foi possível observar a ocorrência do ponto ZTC para os diferentes valores da relação de comprimento de canal (L_{LD}/L), em ambas as condições de polarização, linear e saturação.

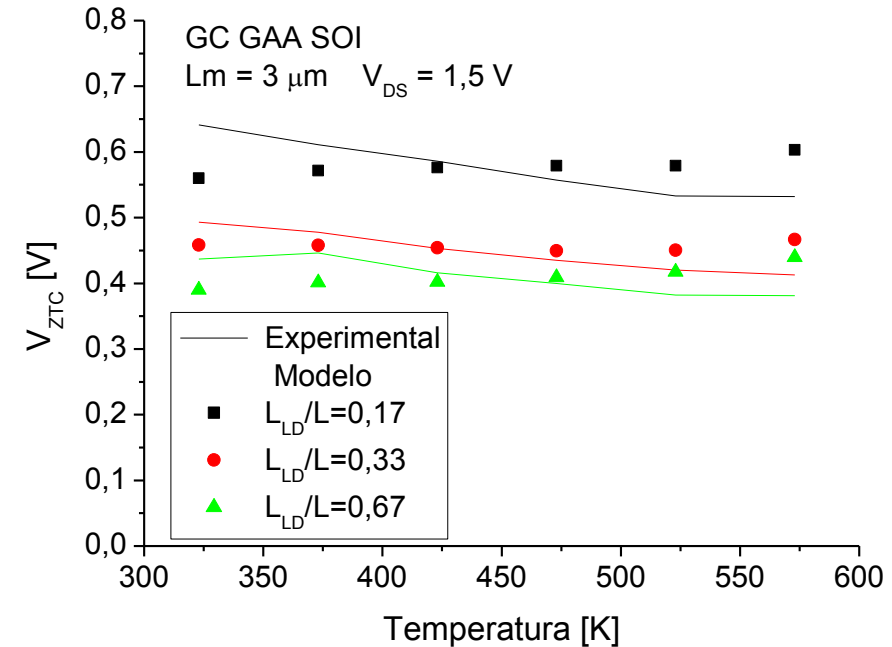
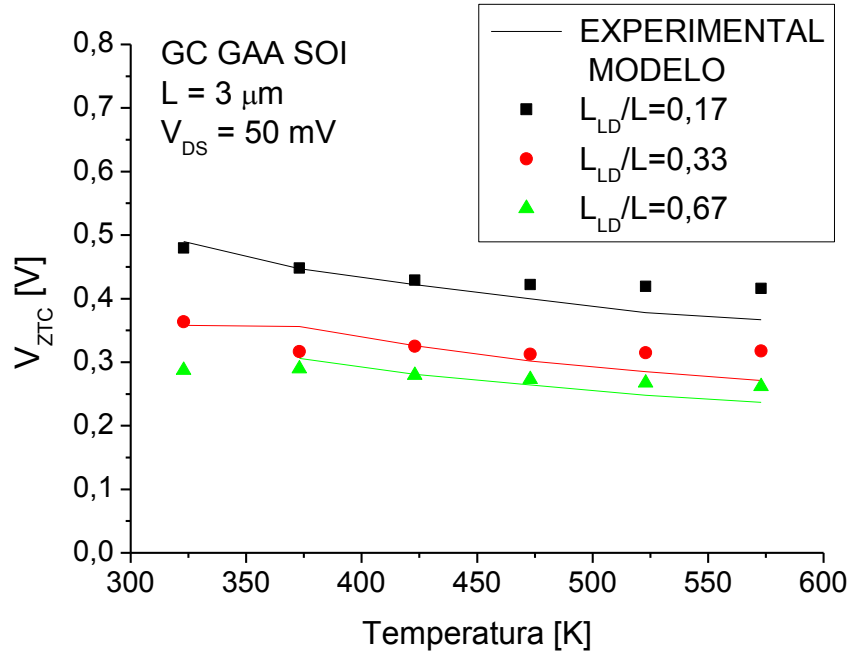


V_{ZTC} : Dados Experimentais e Modelo CM

fator c (degradação da mobilidade com a temperatura)

$$\mu_{n2} = \mu_{n1} \left(\frac{T1}{T2} \right)^c$$

- Obtido através da [equação \(46\)](#) aplicada aos dados experimentais
- Adotado a média aritmética do fator c (300 a 573 K)



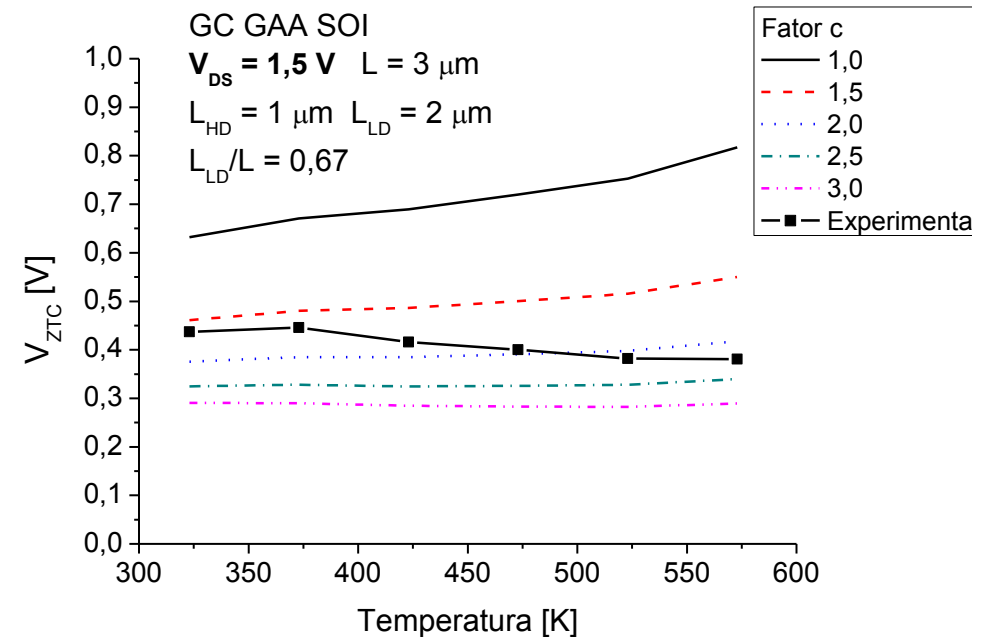
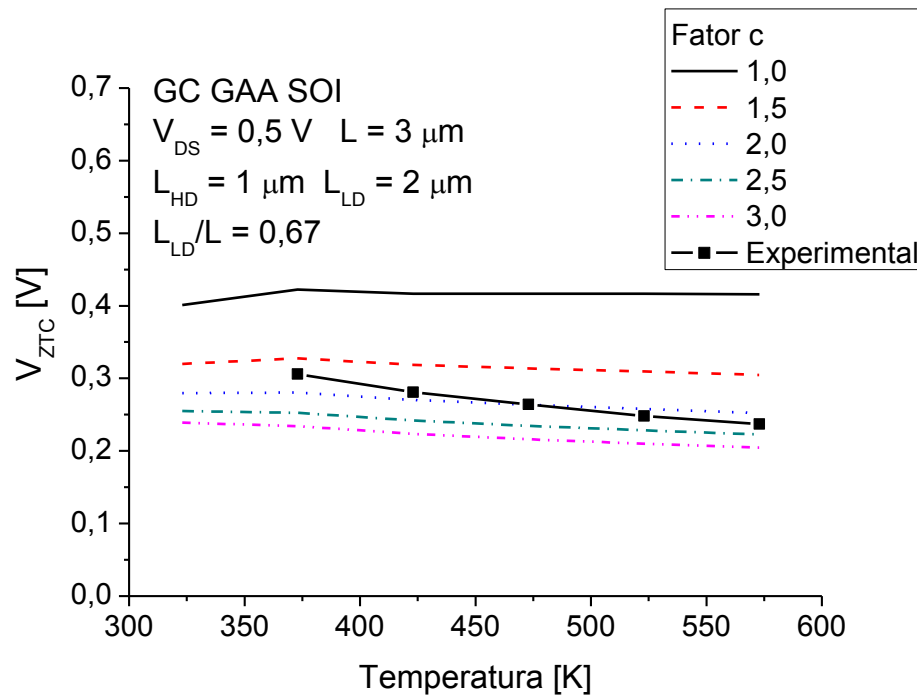
método não apresentou o mesmo ajuste dos resultados do modelo CM com os dados experimentais dos dispositivos GC-GAA

V_{ZTC} : Dados Experimentais e Modelo CM

Para os GC-GAA, a degradação da mobilidade com a temperatura, verificada pelo fator c , sofre uma variação diferente.

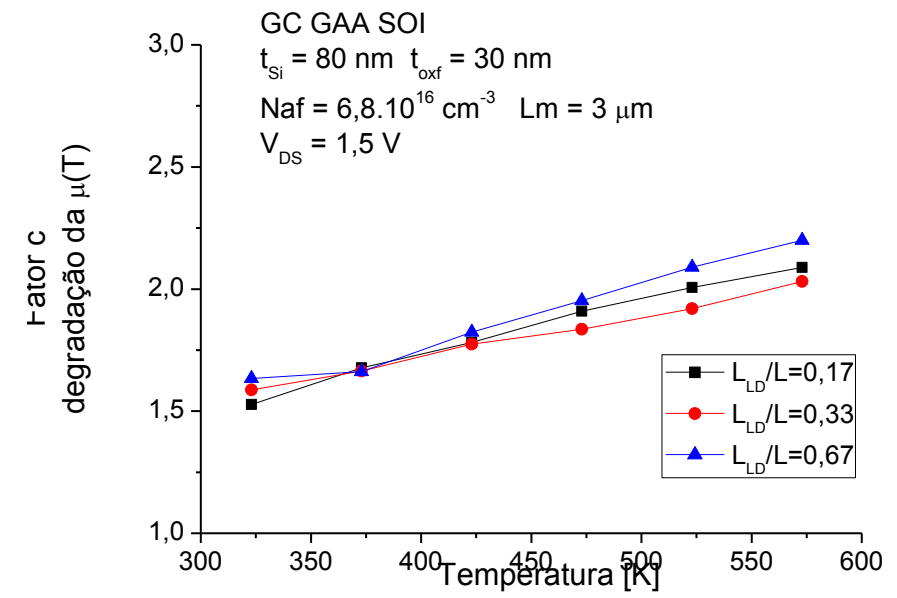
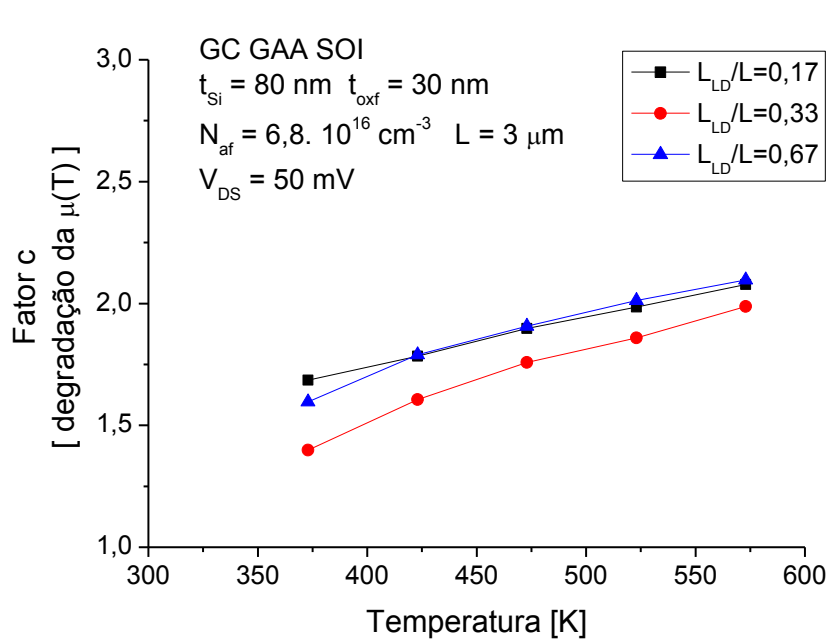
Através do modelo CM:

Avaliou-se a variação de V_{ZTC} com a temperatura
Para valores do fator c de 1, 1,5 , 2, 2,5 e 3



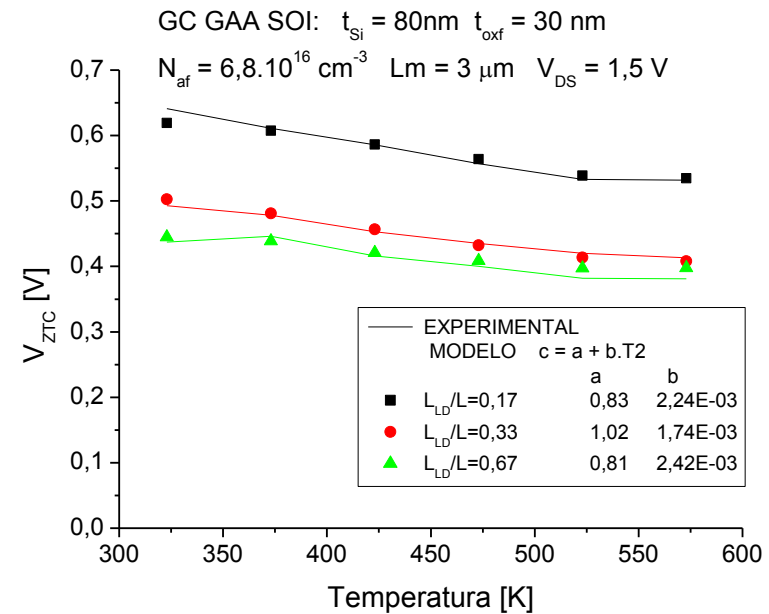
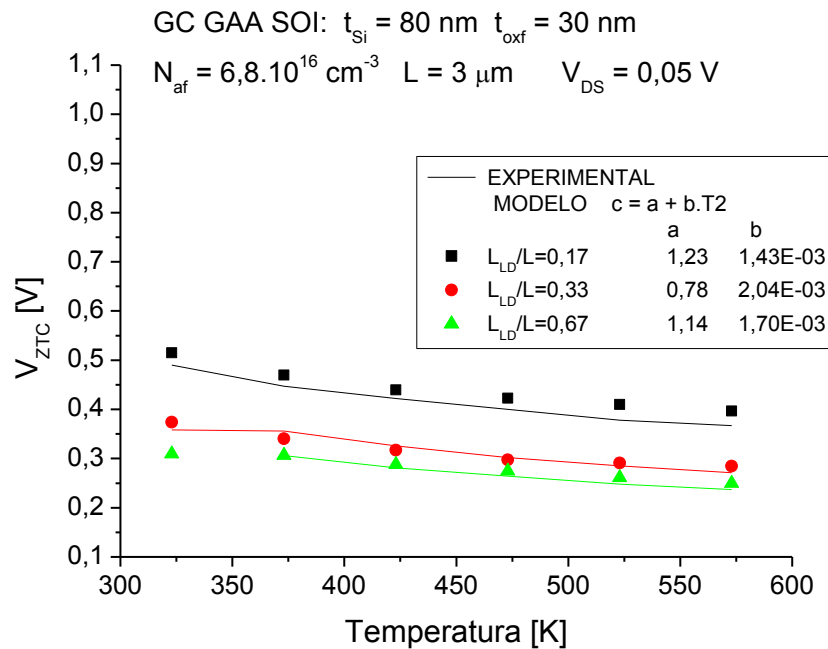
V_{ZTC} : Dados Experimentais e Modelo CM

- Foi verificada a variação do fator c com a temperatura para os dispositivos GC-GAA estudados (relações de L_{LD}/L de 0,17 , 0,33 e 0,67)
- Obtido a equação de reta para a determinação do fator c dependente da temperatura, ou seja, na forma $c = a + b.(T2)$



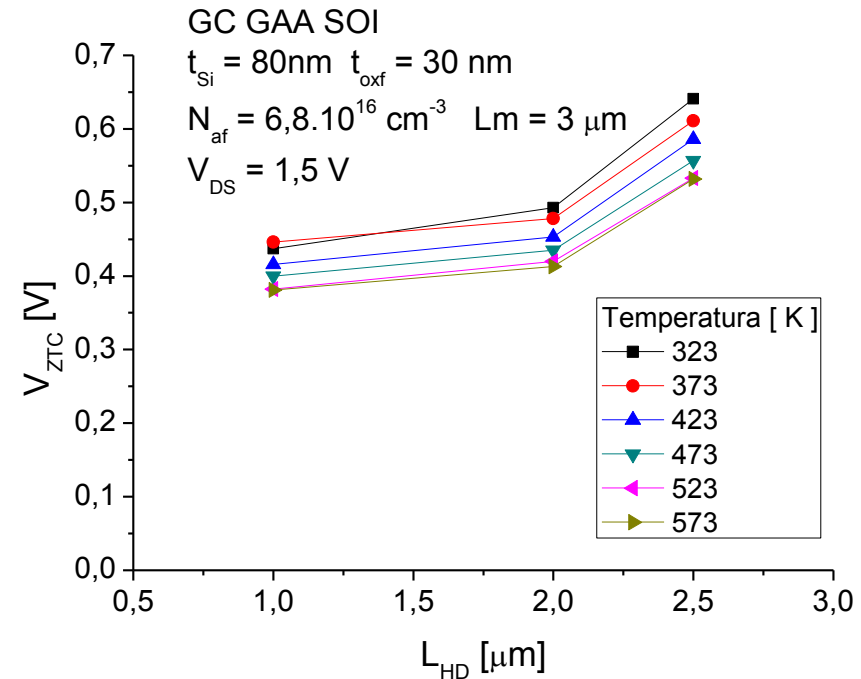
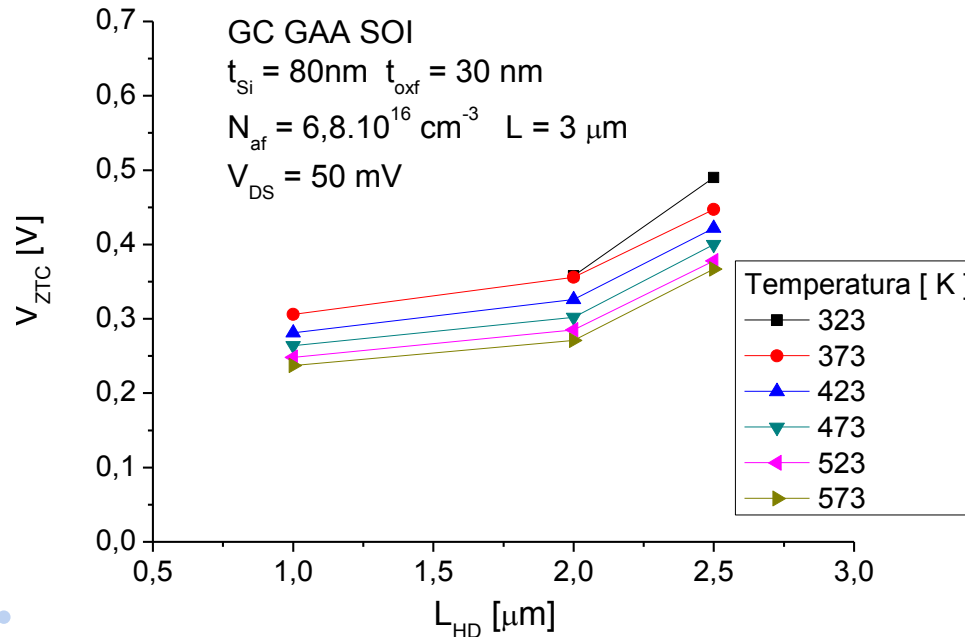
V_{ZTC} : Dados Experimentais e Modelo CM

- Foi verificada a variação do fator c com a temperatura para os dispositivos GC-GAA estudados (relações de L_{LD}/L de 0,17 , 0,33 e 0,67)
- Obtido a equação de reta para a determinação do fator c dependente da temperatura, ou seja, na forma $c = a + b.(T2)$

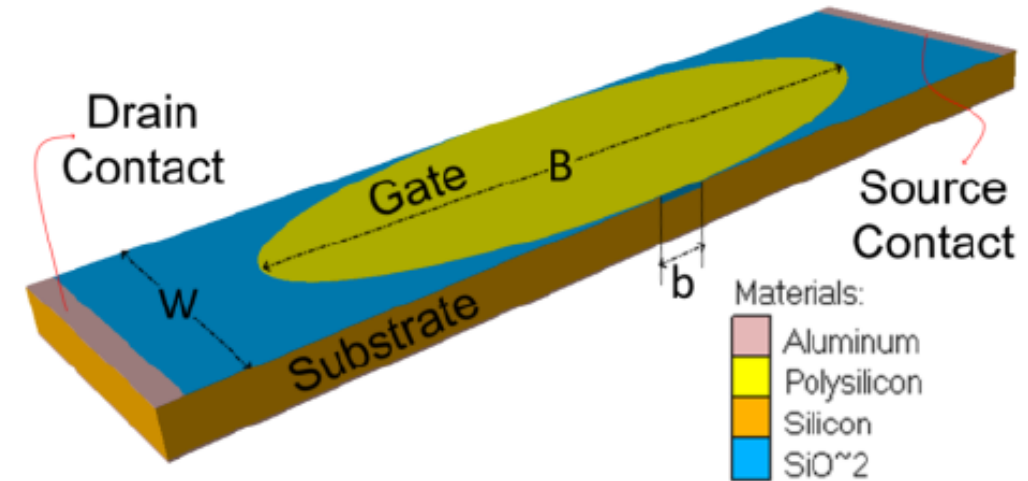
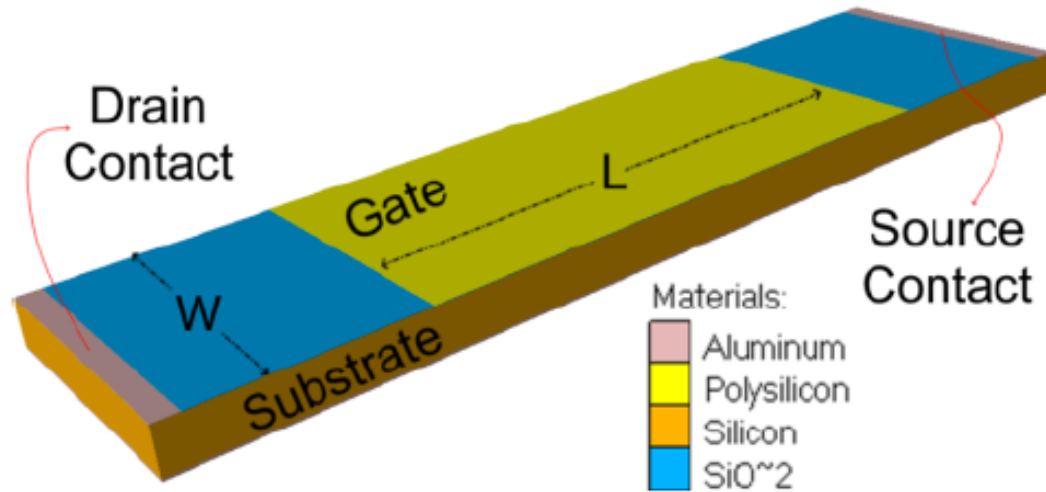


Variação de V_{ZTC} com comprimento de canal (L)

- Valor de V_{ZTC} (dados experimentais para dispositivos de canal L_{HD} de 1, 2 e 2,5 μm (L_{LD}/L de 0,67, 0,33 e 0,17, respectivamente))
- Influência no valor V_{ZTC} com a variação do comprimento de canal
- Efeito SCE no comportamento da tensão de limiar, influencia direta em V_{ZTC} , previsto pelo modelo



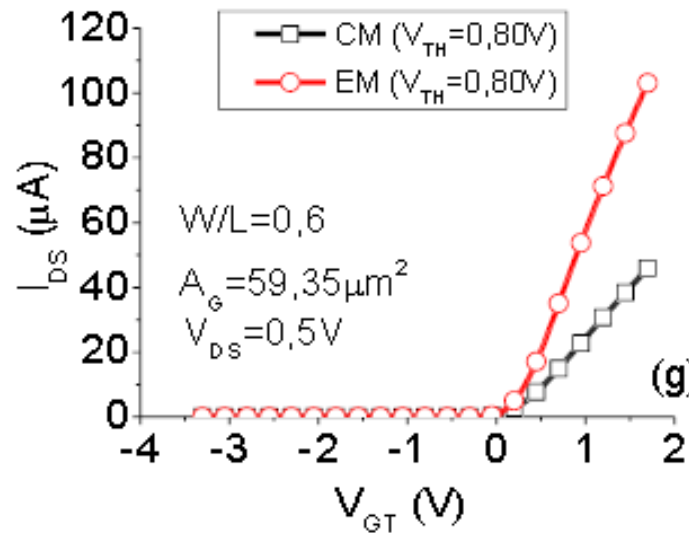
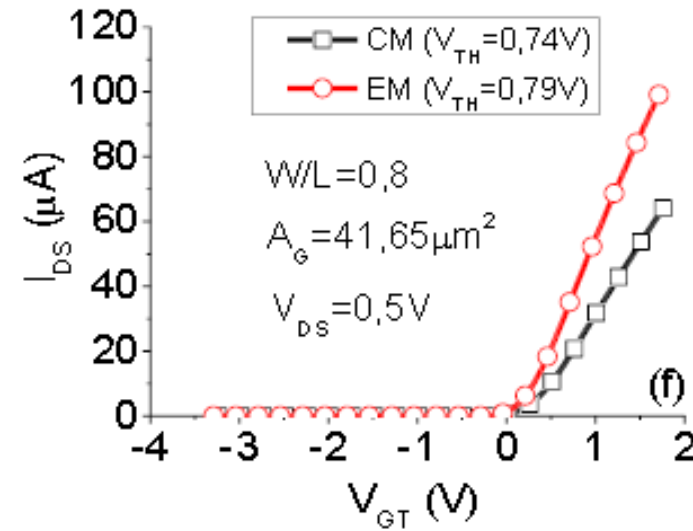
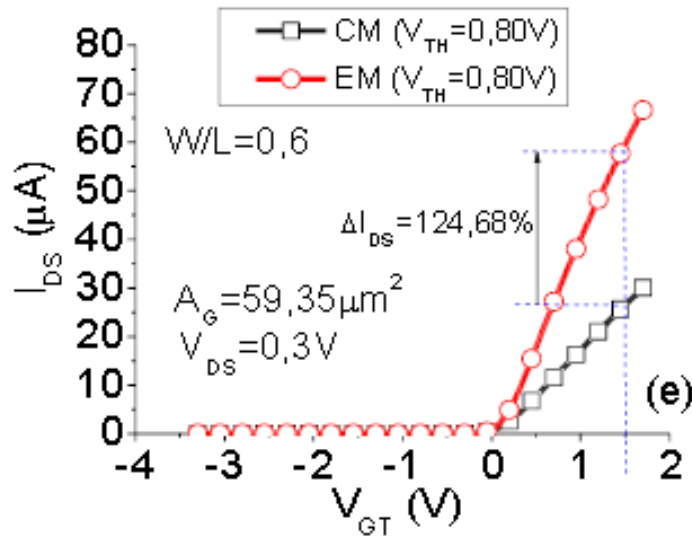
Aplicação do Modelo CM em dispositivos Geometria de Porta do Tipo Elipsoidal



Exemplo Tridimensional da estrutura planar de um MOSFET com geometria Retangular e Elipsoidal

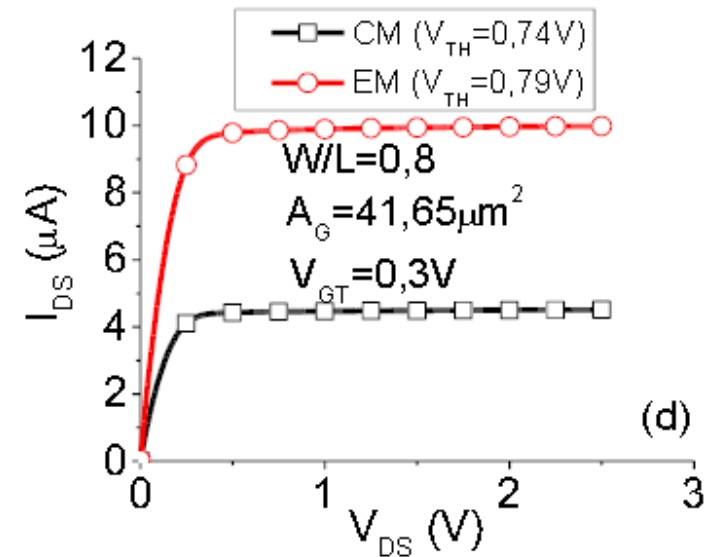
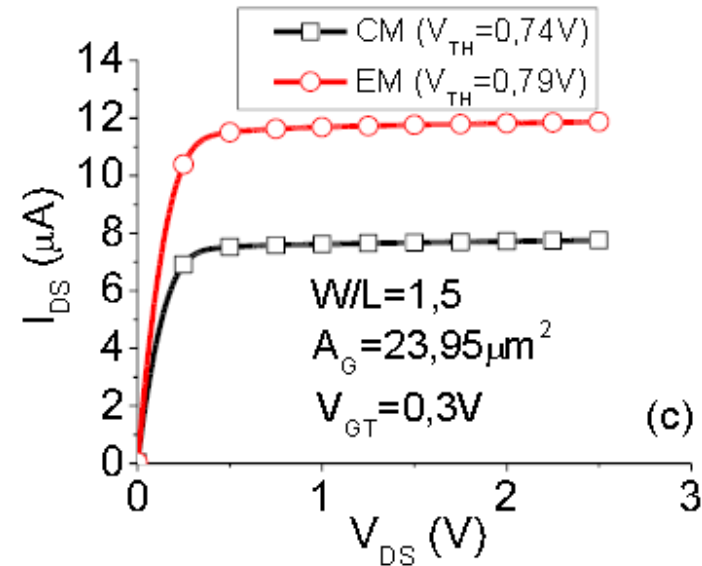
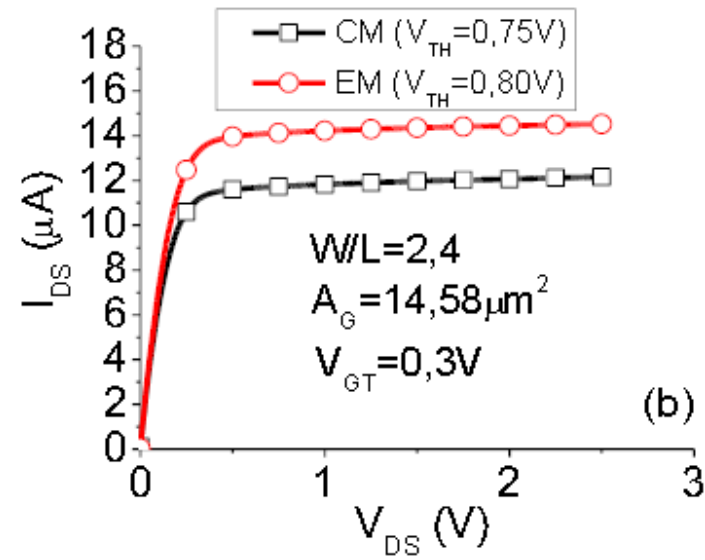
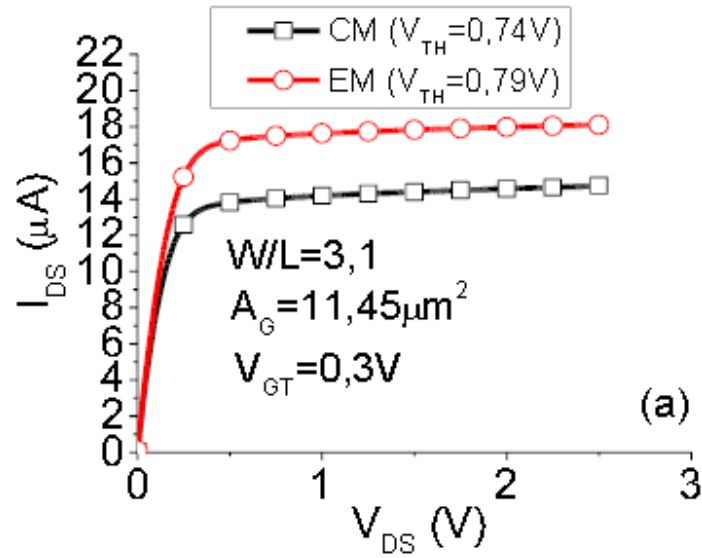
Fonte: Tese de Doutorado "Estudo dos MOSFETs com layout do tipo Elipsoidal" por "Marcelo Marcelino Correia"

Aplicação do Modelo CM em dispositivos Geometria de Porta do Tipo Elipsoidal



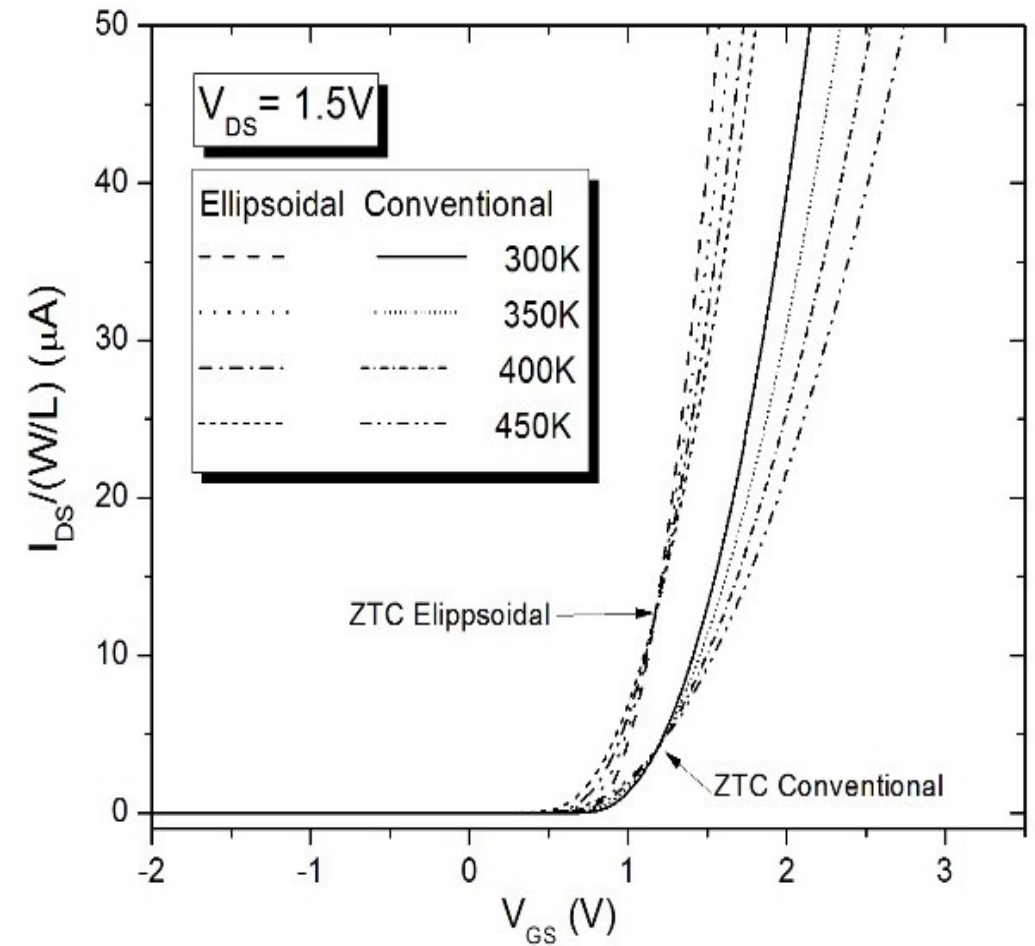
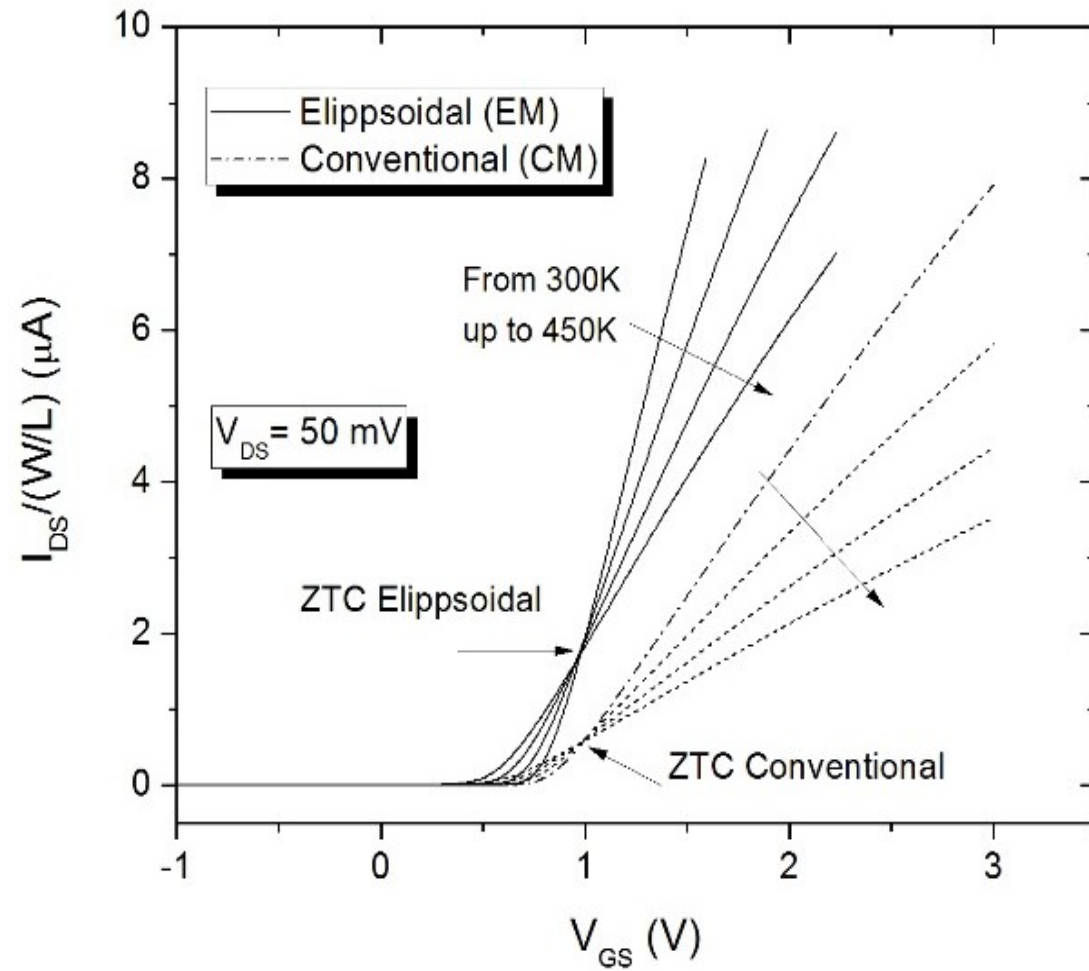
Fonte: Tese de Doutorado
"Estudo dos MOSFETs com
layout do tipo Elipsoidal" por
"Marcelo Marcelino Correia"

Aplicação do Modelo CM em dispositivos Geometria de Porta do Tipo Elipsoidal

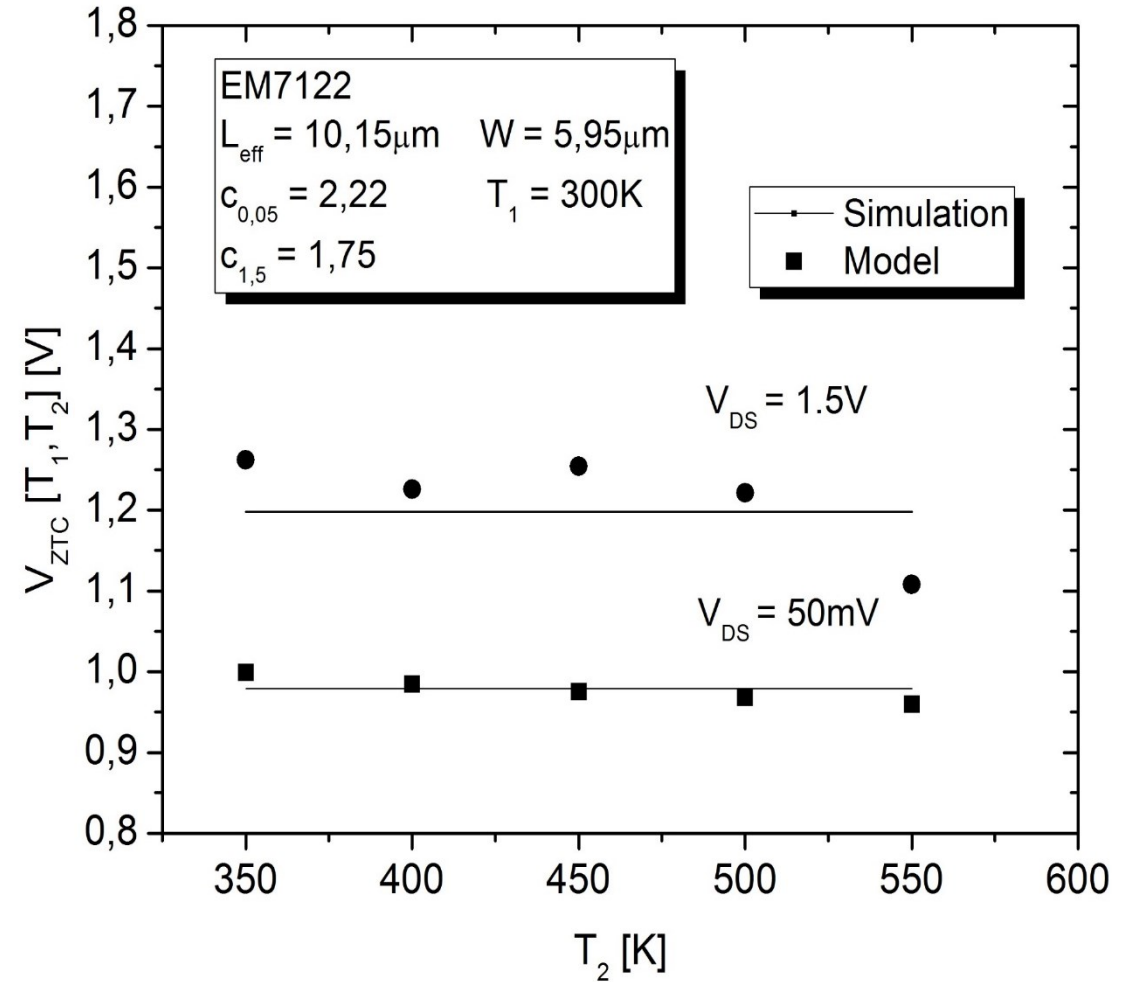
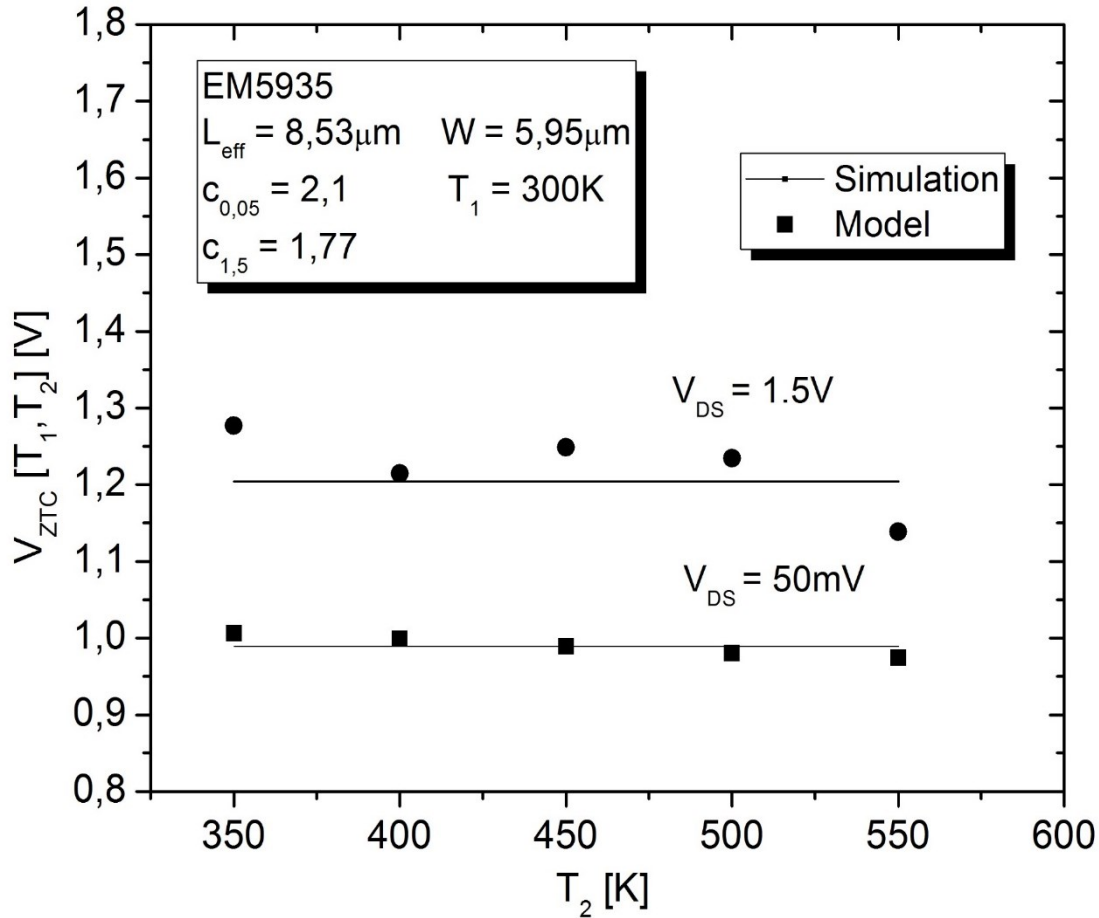


Fonte: Tese de Doutorado
"Estudo dos MOSFETs com
layout do tipo Elipsoidal" por
"Marcelo Marcelino Correia"

Aplicação do Modelo CM em dispositivos Geometria de Porta do Tipo Elipsoidal



Aplicação do Modelo CM em dispositivos Geometria de Porta do Tipo Elipsoidal



Conclusões

- ✓ Apresentado a proposta de um **modelo analítico simples (Modelo CM)** para a tensão V_{GF} no **Ponto (ZTC)**, para análise dos principais fatores que influenciam na obtenção deste ponto, em dispositivos MOSFETs **operando nas regiões linear e de saturação**, dentro do intervalo de temperatura de 20 a 300°C (293 a 573 K).
- ✓ **Modelo CM proposto** foi comparado com resultados experimentais e simulações numéricas tridimensionais.

Os resultados obtidos através do modelo apresentaram um bom ajuste, em dispositivos convencionais e SOI n e pMOSFETs planares **operando nas regiões linear e de saturação**, dentro do intervalo de temperatura estudado.

Conclusões

- ✓ O **Modelo Proposto** foi usado para estudar a estabilidade do ponto ZTC em função da variação de
 - fator de degradação da mobilidade com a temperatura (c);
 - comprimento de canal (L);
 - e a tensão de dreno (V_{DS}).

- ✓ **Estabilidade Ponto ZTC**

 - Fator de degradação da mobilidade com a temperatura (c)**

Resultados mostraram a existência de uma dependência com degradação da mobilidade com a temperatura (c),

Mostrou-se mais influente nos dispositivos PD, que sofrem influência nos parâmetros V_{thF} e μ_n da região de depleção na camada de silício.

Conclusões

✓ Para outras tecnologias

GC SOI

GC GAA SOI

Elipsoidal

Fin FET

Os resultados obtidos através do modelo CM, **apresentaram um bom ajuste** com os valores de V_{ZTC} **extraídos experimentalmente e através de simulações numéricas 3D**, em **ambas regiões de operação**.

Electrochemical Society Proceedings Volume 2005-03

THE TEMPERATURE MOBILITY DEGRADATION INFLUENCE ON THE ZTC OF PD AND FD SOI MOSFETs

L. M. Camillo¹, J. A. Martino^{1,2}, E. Simoen³, C. Claeys^{3,4}

¹LSI/PSI/USP, University of São Paulo, Brazil

²Centro Universitário da FEI, S.B.Campo, Brazil

³IMEC, Kapeldreef 75, B-3001 Leuven, Belgium

⁴E.E. Dept., KU Leuven, Leuven, Belgium

e-mail: martino@lsi.usp.br

Abstract. The Zero Temperature Coefficient (ZTC) is observed experimentally in partially and fully depleted SOI MOSFET fabricated in a 0.13 μ m SOI CMOS technology. A simple model to study the behavior of gate voltage at ZTC (V_{ZTC}) is proposed. The influence of the temperature mobility degradation in V_{ZTC} is analyzed for PD and FD devices. Experimental results show that the temperature mobility degradation is larger in FD than in PD devices which is responsible for the V_{ZTC} decrement observed in FD instead of the increment observed in PD when the temperature increase. A good agreement is found in spite of the simplification used for V_{ZTC} model as a function of temperature.



SBMicro
Sociedade
Brasileira de
Microeletrônica



ELSEVIER

Microelectronics Journal 37 (2006) 952–957

Microelectronics
Journal

www.elsevier.com/locate/mejo

The temperature mobility degradation influence on the zero temperature coefficient of partially and fully depleted SOI MOSFETs

L.M. Camillo^{a,*}, J.A. Martino^{a,b}, E. Simoen^c, C. Claeys^{c,d}

^aLaboratório de Sistemas Integráveis, Escola Politécnica da Universidade de São Paulo, Av. Prof. Luciano Gualberto, trav. 3 no 158, 05508-900, São Paulo, Brazil

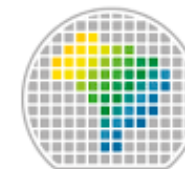
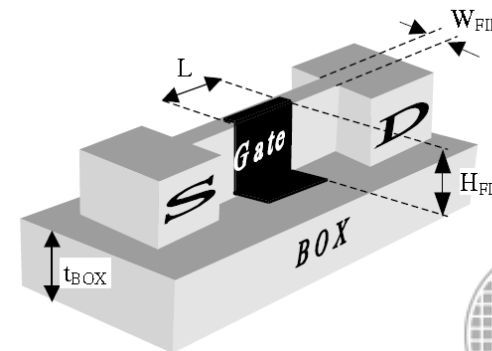
^bCentro Universitário da FEI, S. B. do Campo, Brazil

^cIMEC, Leuven, Belgium

^dE.E. Department, KU Leuven, Leuven, Belgium

Received 3 November 2005; accepted 29 January 2006

Available online 31 March 2006



Simple Analytical Model to Study the ZTC Bias Point in PD and FD SOI MOSFETS

L. M. Camillo¹, J. A. Martino^{1,2}, E. Simoen³ and C. Claeys^{3,4}

¹ LSI/PSI/USP, University of São Paulo, Av Prof Luciano Gualberto 158 trav 3, Sao Paulo, Brazil

² Centro Universitário da FEI, S.B.Campo, Brazil

³IMEC, Leuven, Belgium

⁴ E.E. Dept., KU Leuven, Leuven, Belgium

1. Abstract

The Zero-Temperature Coefficient (ZTC) is investigated experimentally in partially (PD) and fully depleted (FD) SOI MOSFETs fabricated in a 0.13 μ m technology. A simple model to study the behaviour of the gate voltage and drain current at ZTC bias (V_{ZTC} , I_{ZTC}) is proposed in the linear and the saturation

which insures that the drain current (I_{ZTC}) remains constant with temperature variations.

Using equations (1) and (2) at a temperature T_2 ($T_2 > T_1$), the cross point between both curves ($I_{DS} \times V_{GF}$) presents the coordinates, $V_{ZTC}(T_1, T_2)$ and $I_{ZTC}(T_1, T_2)$. Considering that $n_1 \approx n_2 \approx n$, $\theta_1 \approx \theta_2$ and the temperature dependence of the effective

Influence of the N-Type FinFET Width on the Zero Temperature Coefficient

M. Bellodi^{a,*}, J. A. Martino^b, L. M. Camillo^a, E. Simoen^c, C. Claeys^{c,d}

^a Centro Universitário da FEI, S.B.C, Sao Paulo, Brazil

^b LSI/PSI/USP, University of Sao Paulo, Brazil

^c IMEC, Kapeldreef 75, B-3001 Leuven, Belgium

^d E.E. Dept., KU Leuven, Leuven, Belgium

* bellodi@fei.edu.br

This paper presents the influence of the Fin width dimension on the Zero Temperature Coefficient (ZTC) behavior for devices operating at high temperatures (from room temperature up to 573K). Besides this, a simple analytical model is presented in order to describe the ZTC behavior as the temperature increases. Three-dimensional simulations are carried out and compared with experimental results to support the interpretation presented along this work.



ECS Transactions, 6 (4) 205-209 (2007)
10.1149/1.2728862, ©The Electrochemical Society

Simple Analytical Model to Study the ZTC Bias Point in FinFETs

M. Bellodi^{b,*}, L. M. Camillo^a, J. A. Martino^a, E. Simoen^c, C. Claeys^{c,d}

^a Department of Electricity, LSI/PSI/USP, University of São Paulo, São Paulo, Brazil

^b Department of Electricity, Centro Universitário da FEI, S.B.C, São Paulo, Brazil

^c IMEC, Kapeldreef 75, B-3001 Leuven, Belgium

^d E.E. Dept., KU Leuven, Leuven, Belgium

* bellodi@fei.edu.br

In this work we present a simple analytical model to study the Zero Temperature Coefficient (ZTC) bias point in FinFETs operating from room temperature up to 573 K. Three-dimensional simulations are carried out and compared with experimental results to qualify the results.

Microelectronics Technology and Devices SBMICRO 2008

ECS Transactions, 14 (1) 243-252 (2008)
10.1149/1.2956038 ©The Electrochemical Society

Influence of the Drain Bias and Gate Length of Partially Depleted SOI MOSFETs on the ZTC Biasing Point

L. M. Camillo¹, J. A. Martino¹, E. Simoen² and C. Claeys^{2,3}

¹ LSI/PSI/USP, University of São Paulo, Brazil

² IMEC, Kapeldreef 75, B-3001 Leuven, Belgium

³ E.E. Dept., KU Leuven, Leuven, Belgium

This paper presents the influence of the drain bias and gate length of partially depleted SOI MOSFETs on the Zero Temperature Coefficient (ZTC) for devices operating at high temperatures (from room temperature up to 573K). The analysis takes into account



SBMicro
Sociedade
Brasileira de
Microeletrônica

Zero-Temperature-Coefficient of Planar and MuGFET SOI Devices

J. A. Martino^a, L. M. Camillo^a, L. M. Almeida^a, E. Simoen^b and C. Claeys^{b,c}

^a LSI/PSI/USP, University of São Paulo, Brazil

^b Imec, Kapeldreef 75, B-3001 Leuven, Belgium

^c E.E. Dept., KU Leuven, Leuven, Belgium

* Email: martino@lsi.usp.br

Journal of Integrated Circuits and Systems

Investigation of the Gate Length and Drain Bias Dependence of the ZTC Biasing Point Instability of N- and P-Channel PD SOI MOSFETs

L. M. Camillo¹, J. A. Martino¹, E. Simoen² and C. Claeys^{2,3}

¹ LSI/PSI/USP, University of São Paulo, Brazil

² IMEC, Kapeldreef 75, B-3001 Leuven, Belgium

³ E.E. Dept., KU Leuven, Leuven, Belgium
e-mail: camillo@lsi.usp.br

ABSTRACT

This paper presents an analysis of the instability of the Zero Temperature Coefficient (ZTC) as a function of the gate length and drain bias for partially depleted SOI MOSFETs operating at high temperatures (from room temperature up to 573K). The study takes into account temperature dependent model parameters such as threshold voltage and channel mobility. The analytical predictions are in very close agreement with experimental results in spite of the simplifications used for the V_{ZTC} model as a function of temperature in the linear and the saturation regime.

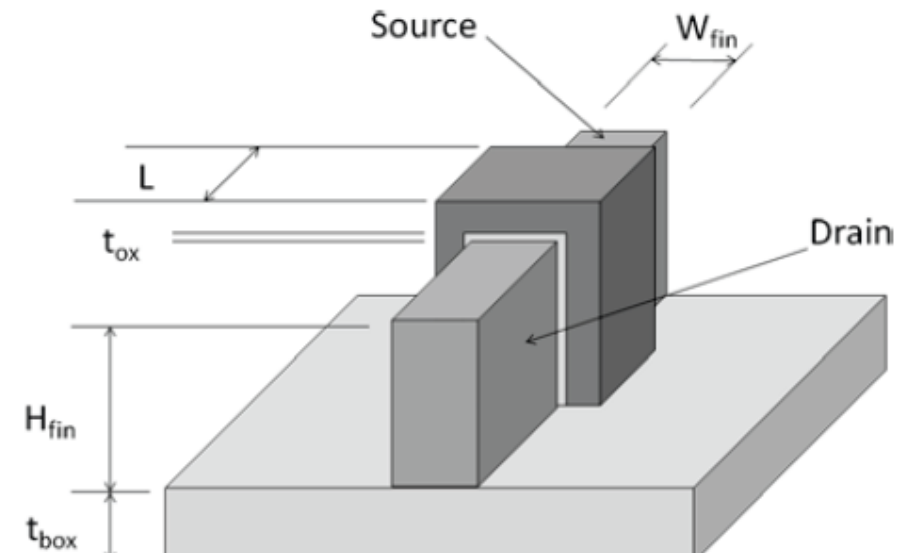
Index Terms: Zero Temperature Coefficient, temperature dependence, mobility degradation and simple model.

Abstract

The Zero Temperature Coefficient (ZTC) is investigated experimentally in planar and standard/biaxially strained triple-gate nFinFETs fabricated on SOI wafers. In this work a simple model to analyze the behavior of the gate-source voltage of the Zero Temperature Coefficient point (V_{ZTC}) is

the desired value of the corresponding I_{DS} at ZTC (I_{ZTC}) is obtained by adjusting the W/L ratio [8].

Some researchers have studied the ZTC point in bulk MOSFETs [8,9] and partially depleted (PD) SOI devices [10], taking into consideration the temperature dependence of the threshold voltage (V_{th}) and the mobility (μ) [9].



Parceria / Colaboração

**Grupo
TEOTEC**

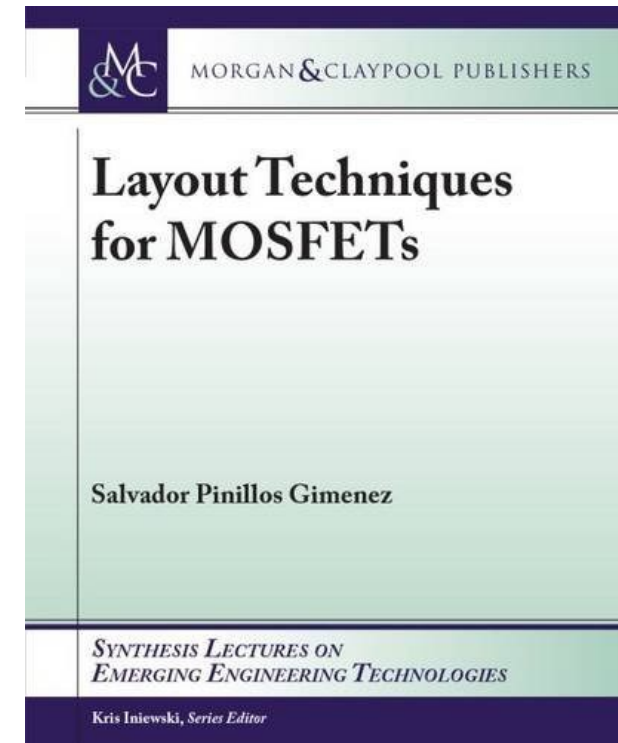
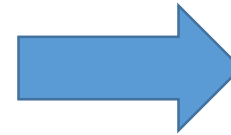
CEFET/RJ



Salvador P. Gimenez

Professor Titular do Centro
Universitário da FEI
(Graduação e Pós-Graduação
em Engenharia Elétrica, de
Automação e Controle e
Telecomunicações)

centro
universitário
FEI



Diamond SOI MOSFET (PI 0802745-5),
Wave SOI MOSFET (PI 0802634-3),
Poligonal SOI MOSFET (PI 0903005-0),
Elipsoidal SOI MOSFET (PI 0905289-5),
Peixe (FISH) MOSFET.

CEFET/RJ  **Apresentação no SForum 2020 - 20th Microelectronics Students Forum**

CHIP in the Fields

Trabalho de pesquisa: "Zero Temperature Coefficient Behavior for Diamond MOSFET"

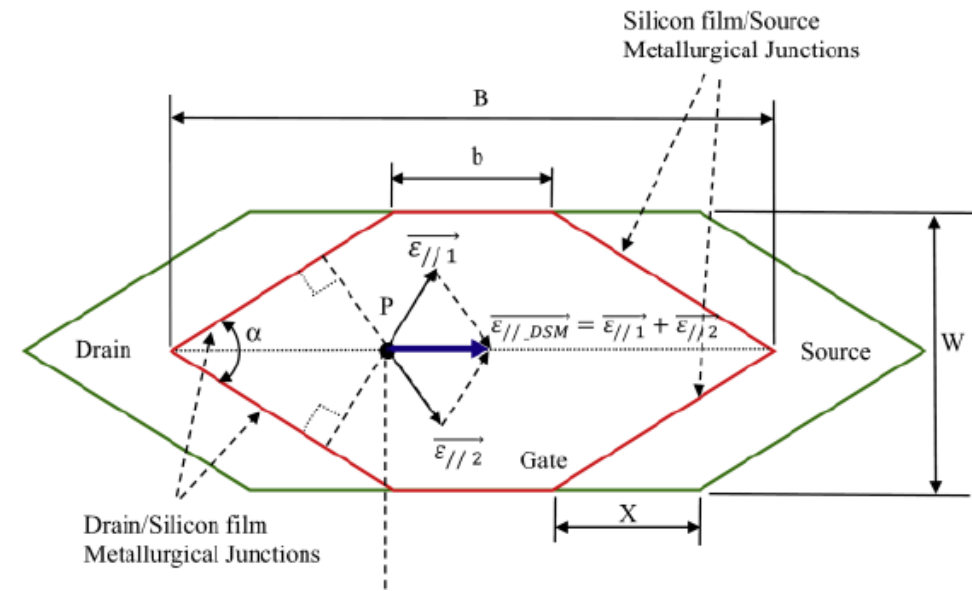
Orientadores: Luciano Camillo e Marco Aurelio Peixoto



José Luiz Borges Azevedo Jorge
Engenharia de Controle e Automação – Cefet/RJ



Ricardo da Silva Alves Júnior
Engenharia Eletrônica – Cefet/RJ



20th Microelectronics Student Forum - August 26-28, 2020

Zero Temperature Coefficient behavior for Diamond MOSFET

J. L. B. Azevedo Jorge
Electronics Technical Academic
Coordination
CEFET/RJ
Rio de Janeiro, Brazil
josezborges@yahoo.com.br

R. da S. Alves Jr
Electronics Technical Academic
Coordination
CEFET/RJ
Rio de Janeiro, Brazil
ricardo.j.junior@gmail.com

L. M. Camillo
Electronics Technical Academic
Coordination
CEFET/RJ
Rio de Janeiro, Brazil
luciano.camillo@cefet-rj.br

M. A. P. Peixoto
Electronics Technical Academic
Coordination
CEFET/RJ
Rio de Janeiro, Brazil
marco.peixoto@cefet-rj.br

M. M. Correia
Electrical Engineering Department
FEI University Center
São Bernardo do Campo, Brazil
mmarcelino.c@gmail.com

S. P. Gimenez
Electrical Engineering Department
FEI University Center
São Bernardo do Campo, Brazil
sgimenez@fei.edu.br

Abstract—The zero temperature coefficient (ZTC) is investigated by three-dimensional numerical simulations in the Diamond (hexagonal gate geometry) layout style (DSL) for Metal Oxide Semiconductor Field Effect Transistors.

The ZTC is a very important bias point for analog designers as it corresponds to a gate voltage at which the device DC performance remains constant with temperature.



Zero Temperature Coefficient Behavior for Ellipsoidal MOSFET

M. P. Braga de Lima¹, L. M. Camillo², M. A. P. Peixoto², M. M. Correia³ and S. P. Gimenez³

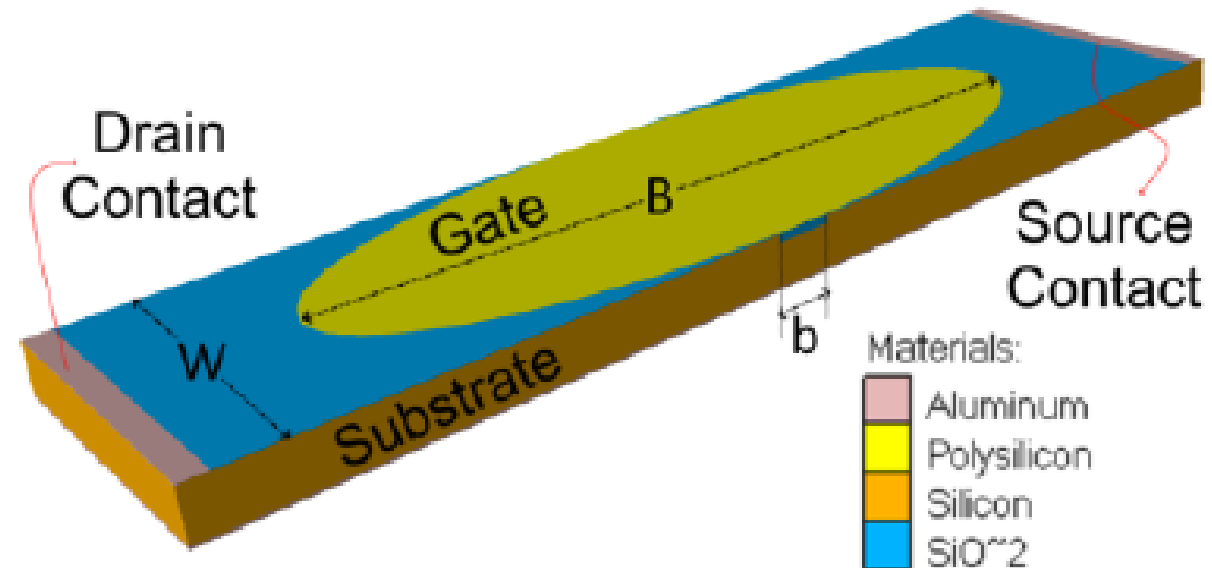
¹ Electric Engineering Program, Federal University of Rio de Janeiro, Rio de Janeiro, Brazil

² Electronics Technical Academic Coordination, CEFET/RJ Maracanã, Rio de Janeiro, Rio de Janeiro, Brazil

³ Electrical Engineering Department, FEI University Center, São Bernardo do Campo, São Paulo, Brazil

e-mail: marco

Abstract—The zero temperature coefficient (ZTC) is investigated by three-dimensional numerical simulations in the Metal Oxide-Semiconductor (MOS) Field Effect Transistor (MOSFET) with the ellipsoidal (EM) and conventional rectangular gate geometries (CM), considering the same channel widths (W), gate areas (A_G) and bias condition (BC). In the



Impact of Temperature Effects in the Zero Temperature Coefficient of the Ellipsoidal MOSFET

M. P. Braga de Lima
Electric Engineering Program
Federal University of Rio de Janeiro
Rio de Janeiro, Brazil
marcos.braga@coppe.ufrj.br

M. A. P. Peixoto
Electronics Technical Academic
Coordination
CEFET/RJ
Rio de Janeiro, Brazil
marco.peixoto@cefet-rj.br

M. M. Correia
Electrical Engineering Department
FEI University Center
São Bernardo do Campo, Brazil
mmarcelino.c@gmail.com



SBMicro
Sociedade
Brasileira de
Microeletrônica

Egon H. S. Galembeck
Electrical Engineering Department
FEI University Center
São Bernardo do Campo, Brazil
egon@fei.edu.br

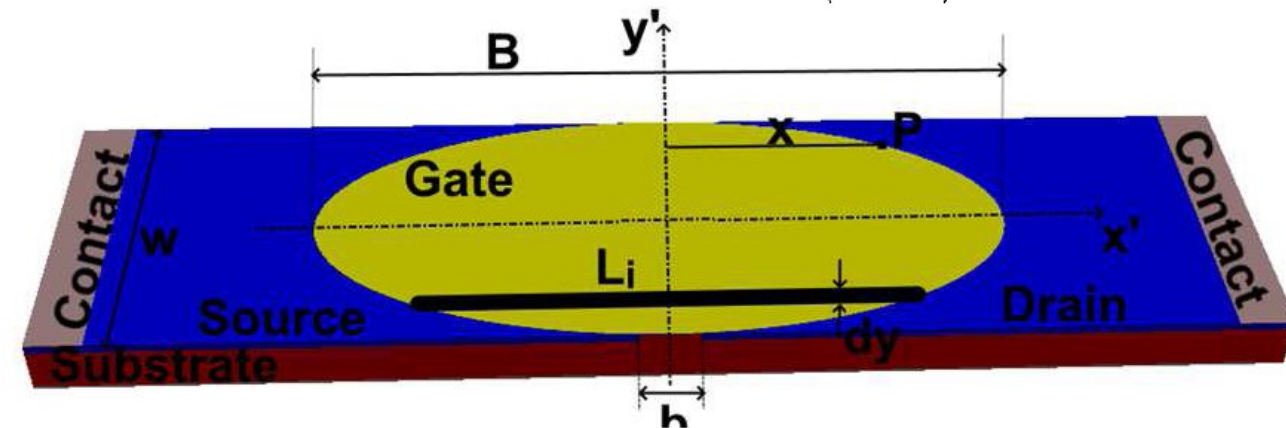
S. P. Gimenez
Electrical Engineering Department
FEI University Center
São Bernardo do Campo, Brazil
sgimenez@fei.edu.br

L. M. Camillo
Electronics Technical Academic

$$L_{eff_EM} = \frac{b}{\arcsin\left(\sqrt{1-\frac{b^2}{B^2}}\right)}$$

Abstract—The zero temperature coefficient (ZTC) is investigated by the simple model and three-dimensional numerical simulations in the Metal-Oxide-Semiconductor (MOS) Field Effect Transistor (MOSFET) with the ellipsoidal (EM) and conventional rectangular gate geometries (CM), considering the same channel widths (W), gate areas (A_g) and

the mobility of sometimes not er in a MOSFET [3]. There are so of V_{GS} at ZTC pc 4.1.1.1 MOSFET



Agradecimentos

COORDELT
Coordenação
Curso de
Eletrônica
CEFET/RJ



Prof. Dr. Salvador P. Gimenez

